

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250957  
(43)Date of publication of application : 14.09.2001

---

(51)Int.Cl.

H01L 29/786  
G02F 1/1368  
H01L 21/322  
H01L 21/336

---

(21)Application number : 2000-062917

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD  
SHARP CORP

(22)Date of filing : 08.03.2000

(72)Inventor : ONUMA HIDETO  
NAKAJIMA SETSUO  
TANAKA KOICHIRO  
MAKITA NAOKI

---

**(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To improve gettering efficiency and shorten a thermal treatment time since a method of removing impurity elements such as heavy metal, etc., that is, a gettering technique is very important to obtain a high-performance device, while a treatment time for gettering needs to be shortened in view of a throughput.

**SOLUTION:** It has been found that impurity elements such as heavy metal, etc., segregate in a ridge of a polycrystalline semiconductor layer. To solve this problem, this ridge is positively utilized to form a gettering site for a proximity gettering. When a gettering site utilizing ion doping is further employed together, impurity elements such as heavy metal, etc., can be removed from a TFT channel forming region and a depletion layer region in a PN junction, thereby improving a gettering ability and a gettering efficiency.

---

**LEGAL STATUS**

[Date of request for examination] 06.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-250957  
(P2001-250957A)

(43)公開日 平成13年9月14日 (2001.9.14)

(51)Int.Cl.	識別記号	F I	テ-マ-ト(参考)
H 01 L 29/786		H 01 L 21/322	M 2 H 0 9 2
G 02 F 1/1368		29/78	6 1 8 C 5 F 1 1 0
H 01 L 21/322		G 02 F 1/136	5 0 0
21/336		H 01 L 29/78	6 1 6 A
			6 1 8 G

審査請求 未請求 請求項の数17 OL (全19頁) 最終頁に続く

(21)出願番号 特願2000-62917(P2000-62917)

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(22)出願日 平成12年3月8日 (2000.3.8)

(71)出願人 000005049

シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号

(72)発明者 大沼 英人  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 中嶋 節男  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【課題】高性能なデバイスを得るために重金属等の不純物元素を取り除く方法、すなわちゲッタリング技術が非常に重要である。一方でゲッタリングにはスループットの点から、処理時間の短縮が求められる。ゲッタリングの効率を上げ、熱処理時間を短縮することを課題とする。

【解決手段】多結晶質半導体層におけるリッジに重金属等の不純物元素が偏析することが分かった。上記問題点を解決するために、このリッジを積極的に利用し、ゲッタリングサイトを形成することにより近接ゲッタリングを行う。さらにイオンドーピングを用いたゲッタリングサイトと併用することで、TFTのチャネル形成領域および、PN接合における空乏層領域から重金属等の不純物元素を取り除くことができ、ゲッタリング能力、ゲッタリング効率を高めることができる。

## 【特許請求の範囲】

【請求項1】半導体層にチャネル形成領域と、前記チャネル形成領域の外側に形成された半導体領域とを有し、前記半導体領域の表面における凸凹の平均高低差が、前記チャネル形成領域の表面における凸凹の平均高低差よりも大きいことを特徴とする半導体装置。

【請求項2】前記チャネル形成領域におけるNi濃度が、前記半導体領域におけるNi濃度の1/5以下であることを特徴とする請求項1に記載の半導体装置。

【請求項3】半導体層にチャネル形成領域と、前記チャネル形成領域の外側に形成された第1の不純物領域と、前記第1の不純物領域の外側に形成された第2の不純物領域とを有し、前記第1の不純物領域は一導電型を付与する不純物元素を前記第1の濃度で含み、前記第2の不純物領域は前記一導電型と同型を付与する不純物元素を前記第2の濃度で含み、前記第2の濃度は前記第1の濃度よりも高いことを特徴とし、前記第2の不純物領域の表面における凸凹の平均高低差が、前記チャネル形成領域の表面における凸凹の平均高低差よりも大きいことを特徴とする半導体装置。

【請求項4】半導体層にチャネル形成領域と、前記チャネル形成領域の外側に形成された第1の不純物領域と、前記第1の不純物領域の外側に形成された第2の不純物領域とを有し、前記第1の不純物領域は一導電型を付与する不純物元素を前記第1の濃度で含み、前記第2の不純物領域は、前記一導電型を付与する不純物元素を前記第1の濃度で含み、かつ、前記一導電型とは反対の導電型を付与する不純物元素を前記第2の濃度で含み、前記第1の濃度は前記第2の濃度よりも高いことを特徴とし、前記第2の不純物領域の表面における凸凹の平均高低差が、前記チャネル領域の表面における凸凹の平均高低差よりも大きいことを特徴とする半導体装置。

【請求項5】半導体層にチャネル形成領域と、前記チャネル形成領域を挟んで形成されたソース領域とドレイン領域を有し、前記半導体層には、線状に連なるリッジの集合が互いに交わることなく複数形成され、前記リッジの集合のうち、隣り合う第1のリッジの集合と第2のリッジの集合との間に、前記チャネル形成領域の境界部が形成されたことを特徴とする半導体装置。

【請求項6】前記チャネル形成領域におけるNi濃度が、前記ドレイン領域におけるNi濃度の1/5以下であることを特徴とする請求項5に記載の半導体装置。

【請求項7】半導体層にチャネル形成領域と、前記チャネル形成領域の外側に形成された第1の不純物領域と、前記第1の不純物領域の外側に形成された第2の不純物領域とを有し、前記半導体層には、線状に連なるリッジの集合が互いに交わることなく複数形成され、前記リッジの集合のうち、隣り合う第1のリッジの集合と第2のリッジの集合との間に、前記チャネル形成領域の境界部が形成され、前記第1の不純物領域は一導電型を付与す

る不純物元素を前記第1の濃度で含み、前記第2の不純物領域は前記一導電型と同型を付与する不純物元素を前記第2の濃度で含み、前記第2の濃度は前記第1の濃度よりも高いことを特徴とする半導体装置。

【請求項8】半導体層にチャネル形成領域と、前記チャネル形成領域の外側に形成された第1の不純物領域と、前記第1の不純物領域の外側に形成された第2の不純物領域とを有し、前記半導体層には、線状に連なるリッジの集合が互いに交わることなく複数形成され、前記リッジの集合のうち、隣り合う第1のリッジの集合と第2のリッジの集合との間に、前記チャネル形成領域の境界部が形成され、前記第1の不純物領域は一導電型を付与する不純物元素を前記第1の濃度で含み、前記第2の不純物領域は、前記一導電型を付与する不純物元素を前記第1の濃度で含み、かつ、前記一導電型とは反対の導電型を付与する不純物元素を第2の濃度で含み、前記第1の濃度は前記第2の濃度よりも高いことを特徴とする半導体装置。

【請求項9】前記チャネル形成領域の境界部は、前記チャネル形成領域と前記ドレイン領域との境界部、または前記ソース領域との境界部、またはLDD領域との境界部、またはオフセット領域との境界部であることを特徴とする請求項5乃至8のいずれか一に記載の半導体装置。

【請求項10】前記第1の濃度が、 $1 \times 10^{19}/\text{cm}^3 \sim 5 \times 10^{21}/\text{cm}^3$ であり、前記第2の濃度は、前記第1の濃度の1.2倍から1000倍であることを特徴とする請求項3、4、7、8のいずれか一に記載の半導体装置。

【請求項11】前記チャネル形成領域は結晶化を促進する金属を用いて形成されていることを特徴とする請求項1乃至10のいずれか一に記載の半導体装置。

【請求項12】前記チャネル形成領域が結晶化を促進する金属としてNiを用いて形成されていることを特徴とする請求項11に記載の半導体装置。

【請求項13】前記第2の不純物領域に付与する不純物元素は、Pであることを特徴とする請求項3、4、7、8のいずれか一に記載の半導体装置。

【請求項14】前記半導体層は珪素を主成分とすることを特徴とする請求項1乃至13のいずれか一に記載の半導体装置。

【請求項15】チャネル形成領域を含む半導体層のうち、チャネル形成領域の外側に前記チャネル形成領域の表面における凸凹の平均高低差よりも大きい凸凹の平均高低差を有する領域を形成する工程を有することを特徴とする半導体装置の作製方法。

【請求項16】チャネル形成領域を含む半導体層を形成する工程と、一導電型を付与する不純物元素を第1の濃度で導入して、前記半導体層のうちチャネル形成領域の外側に第1の不純物領域を形成する工程と、前記一導電型と同型を付与する不純物元素を前記第1の濃度よりも

高い第2の濃度で導入して、前記第1の不純物領域の外側に第2の不純物領域を形成する工程と、前記第2の半導体領域の表面における凸凹の平均高低差を、前記チャネル形成領域の表面における凸凹の平均高低差よりも大きくする工程と、を有することを特徴とする半導体装置の作製方法。

【請求項17】チャネル形成領域を含む半導体層を形成する工程と、一導電型を付与する不純物元素を第1の濃度で導入して、前記半導体層のうちチャネル形成領域の外側に第1の不純物領域を形成する工程と、前記一導電型を付与する不純物元素を前記第1の濃度で導入し、かつ、前記一導電型とは反対の導電型を付与する不純物元素を前記第1の濃度よりも高い第2の濃度で導入して、前記第1の不純物領域の外側に第2の不純物領域を形成する工程と、前記第2の半導体領域の表面における凸凹の平均高低差を、前記チャネル領域の表面における凸凹の平均高低差よりも大きくする工程と、を有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、絶縁表面を有する基板上にアクティブマトリクス型電界効果薄膜トランジスタ（以下、薄膜トランジスタをTFTという）で構成された回路を有する半導体装置、およびその作製方法に関する。本明細書における半導体装置とは、半導体特性を利用することで機能する装置全般を指す。特に本願発明は、同一基板上に画像表示領域と画像表示を行うための駆動回路を設けた、液晶表示装置に代表される電気光学装置およびこの電気光学装置を搭載する電子機器に好適に利用できる。上記半導体装置は、上記電気光学装置および上記電気光学装置を搭載する電子機器をその範疇に含んでいる。

【0002】

【従来の技術】多結晶シリコン（ポリシリコン）、微結晶シリコン、単結晶シリコンに代表される結晶質シリコンの半導体層を有するTFT（以下、結晶質シリコンTFTと記す）は、アモルファスシリコンの半導体層を有するTFT（以下、アモルファスシリコンTFTと記す）よりも電界効果移動度が高く、高速動作が可能である。そのため、高速動作が必要な画像領域の駆動回路の作製にアモルファスシリコンTFTを用いるのは不適当だったが、結晶質シリコンTFTを用いると、画像表示領域と同一基板上に作製することが可能になった。

【0003】しかしながら、半導体装置の製造プロセス中に混入する重金属等の不純物元素の問題は十分に解決されてはいない。特に重金属元素がシリコン中に固溶すると、バンドギャップ中に深い準位を形成し、また熱処理時にシリサイドとして析出し、転位を発生させる。これらはシリコンのキャリアのライフタイムを低下させ、またゲート酸化膜の絶縁破壊や、信頼性の不良を引き起

こし、デバイスの歩留まりを低下させる。

【0004】従って高性能なデバイスを得るためにには重金属等の不純物元素を取り除く方法、すなわちゲッタリング技術が非常に重要である。ゲッタリング技術の一つに、特開平10-303430号公報記載の技術がある。同公報開示の技術は、結晶化を促進させる金属を導入することで、結晶成長を行い、Pに代表される元素をドープした領域に結晶化を促進させる金属を移動させ、ゲッタリングを行うものである。この技術は、非晶質膜の結晶化にあたっては、結晶化を促進させる金属の作用で結晶化温度を引き下げ、また結晶化に要する時間を低減させ、かつ結晶化終了後は、半導体装置の電気特性が下がらないように、あるいは信頼性が低下しないように、結晶化を促進させる金属を結晶質膜中から除去または悪影響を及ぼさない程度まで低減させるものである。この技術を用いることで低温の加熱処理で結晶化を促進させる金属をゲッタリングさせることができ、半導体装置作製にあたり低温プロセスの特徴を生かすことができる。

【0005】

【発明が解決しようとする課題】前記ゲッタリングは完全に行う必要がある。基板面内でゲッタリングの不完全な部分があると、各トランジスタは電気的特性のばらつきを生じ、このトランジスタでアクティブマトリクス型表示装置を構成し、表示させた場合、表示むらの原因となりうる。前記ゲッタリングを完全に行うためには、ゲッタリング時の熱処理時間を長くすればよいが、スループットの点から、熱処理時間はできるだけ短い方が好ましい。完全なゲッタリングを行い、かつ熱処理時間を短縮することが、本願発明の解決しようとする課題である。

【0006】

【課題を解決するための手段】FPMの説明を入れること本発明者らは上記課題を解決するために、ゲッタリングを律速している機構に着目した。図1、図2は絶縁基板上に形成された結晶質シリコン半導体層のFPM（希フッ酸過水）処理後のSEM写真である。この結晶質シリコン半導体層は、結晶化を促進する金属Niを用いて結晶化を行い、更にレーザーアニール処理を行ったものである。従ってこの半導体層中にはNiシリサイドが存在している。FPM処理においては結晶粒界等のダングリングボンドや、金属やシリサイドが選択的にエッチングされるため、エッチングによる穴を観察することによって、金属やシリサイドの偏析している領域を知ることができる。図1はレーザーアニール後に、FPM処理を行った半導体層の写真である。白く盛り上がった結晶粒界領域（リッジ）やリッジとリッジがぶつかる領域（三重点）にエッチングによる穴が多くみられ、また結晶粒界の内部においても小さな穴が多数みられる。従ってNiは半導体層においてリッジ以外の領域にも広く分布していることがわ

かる。一方図2はレーザーアニール後に熱処理を行い、FPM処理を行った半導体層の写真である。エッチングによる穴は三重点などの大きなリッジにのみ見られ、結晶粒界の内部における穴はなくなっている。従って、半導体層中の金属やシリサイドは、熱処理によって、大きなリッジや三重点に偏析することが分かった。すなわちゲッタリングを速速しているのは、大きなリッジや三重点であり、半導体層表面のリッジやラフネスを低減することができれば、ゲッタリングを効率よく、短時間に完全に行うことができる。しかしながらリッジやラフネスを低減することは困難である。そこで本発明者らは発想を逆転させて、この結晶粒界を積極的にゲッタリングに利用する方法を考えた。またリッジの位置を制御する特願2000-020913号に記載された技術を用いれば、ソース端やドレイン端におけるPN接合領域とリッジが形成される領域をずらすことができ、これによって、重金属等の不純物元素をPN接合領域から効果的にゲッタリングできる。

【0007】また本願発明はその他のゲッタリングと併用することが容易であり、また他のゲッタリングと併用することによって、より強力に重金属等の不純物元素を取り除くことができる。例えば、トランジスタのソース／ドレイン領域にPに代表される元素をドープし、ゲッタリングを行う方法がある。この方法では、ゲッタリングによって結晶化を促進させる金属を除去または減少させる領域はトランジスタのチャネルが形成される領域のみでよい為、ゲッタリングに要する熱処理の時間を短縮でき、同時にN型トランジスタのソース／ドレインを形成できる。これらは特開平10-242475号公報や特開平10-335672号公報に記載された技術である。さらに接合領域近傍の不純物を取り除く目的で、P濃度に勾配をもたせてゲッタリングを行う技術があり、本明細書では、この技術と併用する場合も考えた。P濃度に勾配を持たせてゲッタリングを行う技術は特願平11-372214号に記載された技術である。

【0008】また本明細書は結晶質シリコン薄膜の形成において、結晶化を促進する金属（主に3d遷移金属）を用いた場合に特に有効である。結晶化を促進する金属を用いて結晶化を行う方法は、特開平10-303430号公報に記載されている。

【0009】本明細書においては、レーザーアニールによって形成されるリッジをゲッタリングサイトに用いることを骨格としている。一方、大きなリッジに重金属等の不純物が偏析しやすいのは、大きなリッジの周囲には結晶欠陥が多数存在している為と考えられる。従って半導体層表面の凸凹の高さでゲッタリング能力を規定できる。本明細書では、半導体層の平均膜厚を中心とした凸凹の平均高低差でゲッタリング能力を規定する。凸凹の平均高低差はAFMなどの測定によって、容易に調べることができる。

【0010】本願発明の構成を、図3を用いて説明する。基板303は、ガラス基板や石英基板である。基板303上には下地膜308と半導体層が形成されており、半導体層にはチャネル形成領域307と前記チャネル形成領域307の外側に半導体領域301、311が形成されている。チャネル形成領域307と半導体領域301、311は互いに接していてもよいし、離れていてもよい。チャネル形成領域307の上には、絶縁膜304が形成され、さらに前記絶縁膜304を介して、前記チャネル形成領域307と重なるゲート電極305が形成されている。前記絶縁膜304は前記チャネル形成領域307の外側の半導体層上にも形成されていてもよい。また前記チャネル形成領域307と前記第一の半導体領域301、311の間にLDD領域やオフセット領域が形成されることもある。前記半導体領域はソース／ドレインとして使用されてもよいし、ソース／ドレイン領域の外側に形成されてもよい。また前記第1の領域は図3に示したように、チャネル形成領域307の両側ではなく、片側のみに形成してもよい。本願発明は半導体領域301、311の表面における凸凹の平均高低差が、チャネル形成領域307の表面における凸凹の平均高低差よりも大きいことを特徴とする。また本願発明にイオン注入を用いてゲッタリングとソース／ドレイン形成を同時に行う、特開平10-242475号公報や特開平10-335672号公報に記載の技術と併用すると、更に効果的である。前記半導体層は結晶化を促進する金属（Ni等）を用いて結晶化を行ったものでもよい。Niを用いた場合チャネル形成領域のNi濃度はソース／ドレイン領域のNi濃度の1/5以下となる。

【0011】本願発明の作製方法は、チャネル形成領域307を含む半導体層のうち、チャネル形成領域の外側に前記チャネル形成領域の表面における凸凹の平均高低差よりも大きい凸凹の平均高低差を有する半導体領域301、311を形成する工程を有することを特徴とする。

【0012】本願発明の別の構成を、図4を用いて説明する。これは特願平11-372214号に記載されたP濃度に勾配を持たせてゲッタリングを行い、接合近傍の重金属等の不純物元素を除去する技術と、本明細書中で前述した半導体層に於ける凸凹を用いて重金属等の不純物元素をゲッタリングする技術とを併用するものである。

【0013】基板403は、ガラス基板や石英基板である。基板403上にはチャネル形成領域407と、前記チャネル形成領域407の外側に第1の不純物領域401、411と、更にその外側に第2の不純物領域402、412が形成されている。前記第1の不純物領域401、411には一導電型の不純物元素を第1の濃度で導入し、前記第2の不純物領域402、412には前記導電型と同型の不純物元素を第2の濃度で導入する。前記チャネル形成領域407は結晶化を促進する金属（Ni等）を用いて結晶化を行ったものでもよい。チャネル形成領域407の上には、絶縁膜404が形成さ

れ、さらに前記絶縁膜404を介して、前記チャネル形成領域407と重なるゲート電極405が形成されている。前記第1の不純物領域401, 411と前記第2の不純物領域402, 412を合わせた領域が、ソース／ドレイン領域の全体、もしくは一部分となる。前記絶縁膜404はソース／ドレイン領域の上にも形成されていてもよい。また前記チャネル形成領域と第1の不純物領域との間に、LDD領域やオフセット領域が形成されている場合もある。

【0014】本願発明は前記第1の不純物領域401, 411における第1の濃度よりも、前記第2の不純物領域402, 412における第2の濃度の方が大きいことを特徴とする。また、かつ前記第2の不純物領域402, 412の表面における凸凹の平均高低差が、前記チャネル形成領域307の表面における凸凹の平均高低差よりも大きいことを特徴とする。本願発明は、具体的には前記第1の濃度が、 $1 \times 10^{19}/\text{cm}^3 \sim 5 \times 10^{21}/\text{cm}^3$ であり、前記第2の濃度は、前記第1の濃度の1.2倍から1000倍であることを特徴とする。本願発明の構成は図4に示すようなチャネル形成領域の両側で構成されるものでもよいし、片側のみで構成されるものであってもよい。すなわち、たとえばドレイン領域の接合近傍の不純物をゲッタリングしたいときには、ドレイン側にのみ、前記第1の不純物領域と前記第2の不純物領域を形成してもよい。

【0015】本願発明の作製方法は、チャネル形成領域407を含む半導体層を形成する工程と、一導電型を付与する不純物元素を第1の濃度で導入して、前記半導体層のうちチャネル形成領域の外側に第1の不純物領域401, 411を形成する工程と、前記一導電型と同型を付与する不純物元素を前記第1の濃度よりも高い第2の濃度で導入して、前記第1の不純物領域の外側に第2の不純物領域402, 412を形成する工程と、前記第2の半導体領域の表面における凸凹の平均高低差を、前記チャネル形成領域の表面における凸凹の平均高低差よりも大きくする工程と、を有することを特徴とする。前記チャネル形成領域の表面における凸凹の平均高低差を大きくする工程は、半導体層の結晶化時でもよいし、第1の不純物領域や第2の不純物領域形成時であってもよいし、その後でもよい。

【0016】前記構成は第1の不純物領域と第2の不純物領域に、それぞれ第1の濃度と第2の濃度で同型の導電性を与える不純物元素を導入する場合を説明するものである。次に第1の不純物領域と第2の不純物領域にそれぞれ第1の濃度と第2の濃度で反対の導電性を与える不純物元素を導入する場合の、本明細書の構成を、図4を使って説明する。その構成は、第1の不純物領域401, 411には一導電型の不純物元素を第1の濃度で導入し、第2の不純物領域402, 412には、前記第1の不純物領域に導入した不純物元素と同型の導電型を与える不純物元素を、前記第1の濃度で導入し、かつ前記一導電型と反対の導電型の不純物元素を第2の濃度で導入するもので

ある。この構成は、前記第2の濃度よりも、前記第1の濃度の方が大きいことを特徴とする。また、かつ前記第2の不純物領域402, 412の表面における凸凹の平均高低差が、チャネル形成領域407の表面における凸凹の平均高低差よりも大きいことを特徴とする。前記第2の不純物領域に導入された反対の導電型の不純物元素は、ソース／ドレイン形成の為だけではなく、主にゲッタリングの為に導入されている。本願発明は具体的には、前記第2の濃度が、 $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$ であることを特徴とする。例としては、P型のTFTにおいてはNiをゲッタリングする効果の大きいPを前記第2の不純物領域に導入すれば、Niを接合領域近傍から効果的にゲッタリングできる。別の例としては、N型のTFTにおいて、Feをゲッタリングする効果の大きいBを前記第2の不純物領域に導入すれば、Feを接合領域近傍から効果的にゲッタリングできる。

【0017】本願発明の作製方法は、チャネル形成領域407を含む半導体層を形成する工程と、一導電型を付与する不純物元素を第1の濃度で導入して、前記半導体層のうちチャネル形成領域の外側に第1の不純物領域401, 411を形成する工程と、前記一導電型を付与する不純物元素を前記第1の濃度で導入し、かつ、前記一導電型とは反対の導電型を付与する不純物元素を前記第1の濃度よりも高い第2の濃度で導入して、前記第1の不純物領域の外側に第2の不純物領域402, 412を形成する工程と、前記第2の半導体領域の表面における凸凹の平均高低差を、前記チャネル領域の表面における凸凹の平均高低差よりも大きくする工程と、を有することを特徴とする。前記チャネル形成領域407の表面における凸凹の平均高低差を大きくする工程は、半導体層の結晶化時でもよいし、第1の不純物領域や第2の不純物領域形成時であってもよいし、その後でもよい。

【0018】本願発明の別の構成を説明する。この方法では、特願2000-020913号に記載された技術を用いてリッジの位置を制御して半導体層を形成し、ドレイン領域の端部の位置からリッジの位置を外し、PN接合部から効果的に重金属等の不純物を除去する。図5を用いて、この構成の説明を行う。基板503は、ガラス基板や石英基板である。基板503上には下地膜508と半導体層が形成されている。半導体層にはチャネル形成領域507が形成され、前記チャネル領域を挟んでソース領域502とドレイン領域512が形成されている。チャネル形成領域507の上には、絶縁膜504が形成され、さらに前記絶縁膜504を介して、前記チャネル形成領域507と重なるゲート電極505が形成されている。前記絶縁膜504は前記チャネル形成領域507の外側の領域上にも形成されていてもよい。またこの半導体層は特願2000-020913号に記載された技術を用いて形成されており、半導体層には図6(図5の半導体層を上から見た図を示す)に示すように、線状に連なるリッジの集合が互いに交わること

なく複数形成され、前記リッジの集合のうち、隣り合う第1のリッジの集合6001と第2のリッジの集合6002が存在している。本願発明は前記第1のリッジの集合と前記第2のリッジの集合との間に、前記チャネル形成領域の境界部が形成されたことを特徴とする。前記チャネル形成領域の境界部とは、前記チャネル形成領域と前記ドレイン領域との境界部、または前記ソース領域との境界部、またはLDD領域との境界部、またはオフセット領域との境界部である。また本願発明にイオン注入を用いてゲッタリングとソース／ドレイン形成を同時に行う、特開平10-242475号公報や特開平10-335672号公報に記載の技術と併用すると、更に効果的である。前記半導体層は結晶化を促進する金属（Ni等）を用いて結晶化を行ったものでもよい。Niを用いた場合チャネル形成領域のNi濃度はソース／ドレイン領域のNi濃度の1/5以下となる。

【0019】さらに特願平11-372214号に記載された技術と併用した別の構成を図4と図6用いて説明する。図4と図6の半導体層は対応している（同じ半導体層を示す）。この構成は、隣り合う第1のリッジの集合6001（図6）と第2のリッジの集合6002（図6）との間に、チャネル形成領域407（図4）の境界部が形成されていることを特徴とする。かつ、第1の不純物領域401, 411（図4）は一導電型を付与する不純物元素を前記第1の濃度で含み、第2の不純物領域402, 412（図4）は前記一導電型と同型を付与する不純物元素を前記第2の濃度で含み、前記第2の濃度は前記第1の濃度よりも高いことを特徴とする。前記チャネル形成領域の境界部とは、前記チャネル形成領域と前記ドレイン領域との境界部、または前記ソース領域との境界部、またはLDD領域との境界部、またはオフセット領域との境界部である。

【0020】さらに第1の不純物領域と第2の不純物領域にそれぞれ第1の濃度と第2の濃度で反対の導電性を与える不純物元素を導入する場合の構成を説明する。この構成は、隣り合う第1のリッジの集合6001（図6）と第2のリッジの集合6002（図6）との間に、チャネル形成領域407（図4）の境界部が形成されていることを特徴とする。かつ、第1の不純物領域401, 411（図4）は一導電型を付与する不純物元素を前記第1の濃度で含み、第2の不純物領域402, 412（図4）は、前記一導電型を付与する不純物元素を前記第1の濃度で含み、かつ、前記一導電型とは反対の導電型を付与する不純物元素を第2の濃度で含み、前記第1の濃度は前記第2の濃度よりも高いことを特徴としている。前記チャネル形成領域の境界部とは、前記チャネル形成領域と前記ドレイン領域との境界部、または前記ソース領域との境界部、またはLDD領域との境界部、またはオフセット領域との境界部である。前記半導体層は結晶化を促進する金属（Ni等）を用いて結晶化を行ったものでもよい。

【0021】表面凸凹を利用したゲッタリングサイトに

おける凸凹の平均高低差は30nm以上であることが好ましい。

【0022】本明細書では、濃度に関して以下に定義する。一般的に不純物の熱拡散やイオン打ち込みによって不純物を導入した場合、半導体層中の不純物濃度は半導体層中の深さによって濃度が異なり、不均一な濃度分布をもつ。従って、ここでいう濃度とは半導体層中の深さ方向の濃度分布を平均した値とする。

【0023】また本明細書において、重金属等の不純物元素とは、アルカリ金属元素や非金属元素も含んでいる。すなわちデバイスの特性を低下させる元素を示す。

【0024】以上的方法を用いることで重金属等の不純物元素（3d遷移金属、Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au等）を、トランジスタのチャネル形成領域から効果的に除去もしくは減少させることができる。またゲッタリングサイトとなる半導体領域とチャネル形成領域を互いに接することなく形成する場合や、特願平11-372214号に記載された技術と併用して本明細書を実施した場合には、チャネル形成領域とソース、ドレイン領域との境界近傍のPN接合部から、重金属等の不純物元素を除去もしくは減少させることができる。すなわち、第1の不純物領域におけるPに代表される元素の濃度に対して、第2の不純物領域におけるPに代表される元素の濃度を高くすることで、重金属等の不純物元素を第2の不純物領域へ移動させ、接合領域の重金属等の不純物をゲッタリングできる。

【0025】

【発明の実施の形態】本願発明は、半導体薄膜デバイスの素子形成技術に対して実施することが可能である。

【0026】本願発明を実施するには、半導体層にゲッタリングサイトとなる領域、すなわち表面の凸凹の平均高低差が大きい領域を形成する必要がある。また他の構成においては、半導体層に線状に連なる複数のリッジの集合を形成する必要がある。選択的に表面の凸凹の平均高低差が大きい領域を形成する方法としては、レーザーを用いる方法、物理的なダメージを加える方法などがある。

【0027】【実施の形態1】本願発明の実施形態を、図7～図11を用いて説明する。ここでは画素部とその周辺に設けられる駆動回路のTFTを同時に作製する場合を例に、本願発明を用いて、重金属等の不純物元素をゲッタリングする方法を行程順に説明する。本実施形態では特願平11-372214号に記載された、P濃度に勾配を持たせてゲッタリングを行い、接合近傍の重金属等の不純物元素を除去する技術と、本明細書で記載したリッジを用いて重金属等の不純物元素をゲッタリングする技術とを併用する方法の説明を行う。但し、説明を簡単にするために、駆動回路ではシフトレジスタ回路、バッファ回路などの基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示する

ことにする。

【0028】図7(A)において、基板201として、低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いるが、ガラスを用いる場合、ガラス歪み点よりも10~20°C程度低い温度であらかじめ熱処理しておいても良い。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板を用いることも可能である。基板201の、TFTを形成する表面には、基板201からの不純物拡散を防止するため、酸化シリコン膜、窒化シリコン膜、または酸化窒化シリコン膜などの下地膜202を、例えば、SiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜をプラズマCVD法で100nm、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

【0029】次に、非晶質構造を有する半導体層203aを、プラズマCVD法やスパッタ法などの公知の方法により、20~150nm、好ましくは30~80nmの厚さに形成する。本実施例では、非晶質シリコン膜をプラズマCVD法により55nmの厚さに形成した。非晶質構造を有する半導体層としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜202と非晶質シリコン膜203aは、同じ成膜法で形成することができたため、両者を連続形成しても良い。こうすると下地膜の形成後、一旦大気雰囲気にさらさないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性ばらつきやしきい値電圧の変動を低減させることができる。(図7

(A))

【0030】次に、結晶化を促進する金属(Ni等)を用いる結晶化法で結晶質シリコン膜203bを形成する。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400~500°Cで1時間程度の熱処理を行い、含有水素量を5%以下にしてから結晶化させることができ。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは、結晶化前の、非晶質シリコン膜の厚さ(本実施例では55nm)よりも1~15%程度減少する。(図7(B))

【0031】次に結晶質シリコン膜203bを島状に分割して、島状半導体層204~207を形成する。その後、プラズマCVD法またはスパッタ法により50~100nmの厚さの酸化シリコン膜によるマスク層208を形成する。(図7(C))

【0032】その後レジストマスク209を設け、nチャネル型TFTを形成する島状半導体層205~207の全面にしきい値電圧を制御する目的で、 $1 \times 10^{16}$ ~ $5 \times 10^{17}/\text{cm}^3$ 程度の濃度で、p型半導体層を形成する

不純物であるBを添加する。Bの添加はイオンドーピング法で行っても良いし、非晶質珪素膜を成膜するときに同時に添加しておくこともできる。ここでB添加は必ずしも必要でないが、Bを添加した半導体層210~212はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましい。(図7

(D))

【0033】前記イオンドーピング法とは、質量分離を行うイオン注入法(Conventional Ion Implantation)や、非質量分離のイオンシャワー法(Ion Shower)、プラズマドープ法(Plasma Immersion Ion Implantation)のことを意味するものとする。

【0034】駆動回路のnチャネル型TFTのLDD領域を形成するため、n型半導体層を形成する不純物元素を島状半導体層210、211に選択的に添加する。そのため、あらかじめレジストマスク213~216を形成した。n型を付与する不純物元素としては、PやAsを用いればよい。ここではPを添加すべく、フォスフィン(PH<sub>3</sub>)を用いたイオンドーピング法を適用するものとする。形成された不純物領域217~219のP濃度は $2 \times 10^{16}$ ~ $5 \times 10^{19}/\text{cm}^3$ の範囲とすればよい。本明細書中では、ここで形成された不純物領域217~218に含まれるn型を付与する不純物元素の濃度を(n-)と表記する。また、不純物領域219は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加する。(図7(E))

【0035】次に、マスク層208をフッ酸などにより除去して、図7(E)で添加した不純物元素を活性化させる行程を行う。活性化は、窒素雰囲気中において、500~600°Cで1~4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用してもよい。(図8(A))

【0036】次に、ゲート絶縁膜220をプラズマCVD法またはスパッタ法を用いて10~150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図8(A))

【0037】次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成してもよいが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜からなる導電層(A)221と金属膜からなる導電層(B)222とを積層させる。導電層(B)222はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タンクスチタン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)221は窒化タンタル(TaN)、窒化タンクスチタン(WN)、窒化チタン(Ti

N)、窒化モリブデン (MoN) で形成する。また、導電層 (A) 221は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層 (B) は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30 ppm以下にすると良い。例えば、タングステン (W) は酸素濃度を30 ppm以下とすることで20  $\mu\Omega\text{cm}$ 以下の比抵抗値を実現することができる。

【0038】導電層 (A) 221は10~50 nm (好ましくは20~30 nm) とし、導電層 (B) 222は200~400 nm (好ましくは250~350 nm) とすれば良い。スパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層 (A) 221の下に2~20 nm程度の厚さでPをドープしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層 (A) または導電層 (B) が微量に含有するアルカリ金属元素がゲート絶縁膜120に拡散するのを防ぐことができる。(図8 (B))

【0039】次に、レジストマスク223~227を形成し、導電層 (A) 221と導電層 (B) 222とを一括でエッチングしてゲート電極228~231と容量配線232を形成する。ゲート電極228~231と容量配線232は、導電層 (A) と、導電層 (B) とが一体として形成されている。この時、駆動回路に形成するゲート電極229、230は不純物領域217、218の一部と、ゲート絶縁膜220を介して重なるように形成する。(図8 (C))

【0040】そして、ゲート電極および容量配線をマスクとして、ゲート絶縁膜220をエッチングし、少なくともゲート電極の下にゲート絶縁膜233~236を残存するようにして、島状半導体層の一部を露出させる。

(このとき、容量配線の下にも絶縁膜237が形成される。) 次にゲート電極をマスクにして、レーザーアニールを行う。このときゲート電極がマスクとなり、ソース/ドレイン領域のみがレーザーアニールされる。レーザーパワーは、ソース/ドレイン領域に大きなリッジが形成されるように、最適条件を選ぶ。レーザーアニールはイオンドープによりソース/ドレイン領域が形成された後で行ってもよい。この場合にはソース/ドレインの活性化も兼ねることができる。(図8 (D))

【0041】次いで、駆動回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極228をマスクとして、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTが形成される領域はレジストマスク238で被覆しておく。そして、ジボラン ( $\text{B}_2\text{H}_6$ ) を用いたイオンドーピ

ング法で不純物領域239を形成する。この領域のB濃度は $3 \times 10^{20} \sim 3 \times 10^{21} / \text{cm}^3$ となるようとする。本明細書中では、ここで形成された不純物領域239に含まれるp型を付与する不純物元素の濃度を(p+)と表す。(図9 (A))

【0042】次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行う。ゲート電極およびpチャネル型TFTとなる領域を覆う形でレジストマスク240~242を形成し、n型を付与する不純物元素を添加して不純物領域243~247を形成する。これは、フォスフィン (PH3) を用いたイオンドーピング法で行い、この領域のP濃度を $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ とする。本明細書中では、ここで形成された不純物領域217~218に含まれるn型を付与する不純物元素の濃度を(n+)と表す。(図9 (B))

【0043】不純物領域243~247には、既に前工程で添加されたPまたはBが含まれているが、それに比して十分に高い濃度でPが添加されるので、前工程で添加されたPまたはBの影響は考えなくても良い。また、不純物領域243に添加されたP濃度は図9 (A) で添加されたB濃度の1/2~1/3なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはない。ここでの燐ドープはソース/ドレインの形成と、チャネル形成領域に存在している、結晶化を促進する金属Niをゲッタリングする為に行う。不純物領域243ではBの濃度の方が大きいが、本発明者によって、チャネル領域の結晶化を促進する金属Niをゲッタリングできることが明らかにされている。

【0044】次に、レジストマスクを除去して、画素部のnチャネル型TFTのLDD領域を形成するためにn型を付与する不純物添加の工程を行う。ここで添加するPの濃度は $1 \times 10^{16} \sim 5 \times 10^{18} / \text{cm}^3$ であり、図5 (E) および図9 (A)、(B) で添加する不純物元素の濃度よりも低濃度で添加することで、不純物領域249、250が形成される。本明細書中では、ここで形成された不純物領域に含まれるn型を付与する不純物元素の濃度を(n-)と表す。(図9 (C))

【0045】次に、第1の層間絶縁膜の一部となる保護絶縁膜251を形成する。保護絶縁膜251は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100~400 nmとすれば良い。

【0046】さらに保護絶縁膜251の上に500~1500 nmの厚さの層間絶縁膜252を形成する。前記保護絶縁膜251と層間絶縁膜252とでなる積層膜を第1の層間絶縁膜とする。その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールを形成する。(図10)

【0047】次に、コンタクトホール形成によって露出

されたソース領域またはドレイン領域の一部分にPを添加する。Pの添加はフォスフィン( $\text{PH}_3$ )を用いたイオンドーピング法で行い、この領域のP濃度を $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ とする。Pのイオンドーピングは結晶化を促進する金属を、接合近傍から削減もしくは低減させるために行う。ゲッタリングを効率よく行う為には、コンタクトホールの位置は接合部に近いほどよく、コンタクトホールの面積も大きい方がよい。(図10)

【0048】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために $450^{\circ}\text{C} \sim 600^{\circ}\text{C}$ の温度で熱処理工程を行う。この熱処理によって、チャネル領域に存在していた結晶化を促進する金属や、他の重金属等の不純物元素はソース領域またはドレイン領域に移動する。この移動は2種類のゲッタリングサイト、すなわち、レーザーアニールによって形成された大きなリッジによるゲッタリングサイトとPドープによるゲッタリングサイトが存在するために従来よりも効率がよい。またコンタクトホールを通してPドープを行った領域は高濃度のPが導入されているため、最もゲッタリング能力が高く、その結果、結晶化を促進する金属や他の重金属等の不純物元素をPN接合領域から効果的に取り除くことができる。この工程はフーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。

【0049】さらに、3~100%の水素を含む雰囲気中で、 $300 \sim 450^{\circ}\text{C}$ で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により活性層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。(図10)

【0050】活性化工程を終えたら、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールで接続されるソース配線253~256、またはドレイン配線257~259を形成する。(図11(A))

【0051】次に、パッシベーション膜260として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を $50 \sim 500 \text{ nm}$ (代表的には $100 \sim 300 \text{ nm}$ )の厚さで形成する。この状態で水素化処理、あるいはプラズマ水素化を行っても良い。(図11(A))

【0052】その後、有機樹脂からなる第2の層間絶縁膜261を $1.0 \sim 1.5 \mu\text{m}$ の厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。そして、第2の層間絶縁膜261にドレイン配線259に達するコンタクトホールを形成し、画素電極262を形成する。画素電極262は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用

いれば良い。(図11(B))

【0053】こうして同一基板上に、駆動回路と画素部とを有したアクティブマトリクス基板が完成できる。駆動回路にはpチャネル型TFT285、第1のnチャネル型TFT286、第2のnチャネル型TFT287、画素部にはnチャネル型TFT288でなる画素TFTが形成できる。

【0054】駆動回路のpチャネル型TFT285には、チャネル形成領域263、ソース領域264、ドレイン領域265を有している。第1のnチャネル型TFT286には、チャネル形成領域266、L<sub>ov</sub>領域267、ソース領域268、ドレイン領域269を有している。第2のnチャネル型TFT287には、チャネル形成領域270、L<sub>DD</sub>領域271、272、ソース領域273、ドレイン領域274を有している。画素部のnチャネル型TFT288には、チャネル形成領域275、276、L<sub>off</sub>領域277~280を有している。L<sub>off</sub>領域はゲート電極に対してオフセット形成され、オフセット領域の長さは $0.02 \sim 0.2 \mu\text{m}$ である。さらに、ゲート電極と同時に形成される容量配線232と、ゲート絶縁膜と同じ材料から成る絶縁膜と、nチャネル型TFT288のドレイン領域283に接続するn型を付与する不純物元素が添加された半導体層284とから保持容量289が形成されている。図11(B)では画素部のnチャネル型TFT287をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0055】以上レーザーアニールを用いたゲッタリングとPドープを用いたゲッタリングを併用した方法の説明を行った。また特願2000-020913号に記載された技術を用いて結晶質シリコン膜203bを形成することで、半導体層に線状に連なる複数のリッジの集合を形成し、リッジとドレイン端が重ならないようにTFTを作製することもできる。

【0056】以下、実施例1~4までは、半導体層にゲッタリングサイトとなる領域、すなわち表面の凸凹の平均高低差が大きい領域を形成する方法のみの説明を行う。これらの方法を用いて実施の形態1で示したように、TFTを作ることができる。またPを用いたゲッタリングと併用してもよい。実施の形態1ではコンタクト領域に高濃度のPをドープして、接合領域における重金属等の不純物元素を効果的に除去する方法を用いたが、特願平11-372214中に示されている他の方法と併用してもよい。

【0057】

【実施例】【実施例1】実施例1では酸化膜の上から非晶質シリコン薄膜または結晶質シリコン薄膜にレーザーアニールを行い、ゲッタリングサイトを形成する方法を、図12を用いて説明する。図12において、基板1203はガラ

スまたは石英基板である。基板1203にはシリコン基板、金属基板やステンレス基板の表面に絶縁膜を形成したものを使用してもよい。耐熱性が許せばプラスチック基板を用いることもできる。これらは以下の実施例においても同様である。基板1203のTFTが形成される表面には、珪素（シリコン）を含む絶縁膜からなる下地1208が形成されている。さらに下地膜1208の上に20～100nmの厚さの、非晶質半導体薄膜や結晶質半導体薄膜が公知の成膜法で形成されている。

【0058】まず半導体薄膜中のゲッタリングサイト形成領域1220, 1221の上にCVD装置やスパッタ装置を用いた公知の方法で、酸化膜1230, 1231の形成を行う。酸化膜1230, 1231の形成はUV光や、ヒドロ液を用いた方法で形成してもよい。次にエキシマレーザーを用いたレーザーニールを適切な条件で行うことにより、酸化膜1230, 1231で覆われていたゲッタリングサイト形成領域1220, 1221の表面には凸凹が形成される。

【0059】図13はレーザーニール後の光学顕微鏡写真の暗視野を示すものである。半導体膜上に酸化膜が形成されていた領域（1301）、酸化膜が形成されていなかった領域（1302）を比較すると、酸化膜が形成されていた領域の方に、凸凹がみられる。従って、これをゲッタリングサイトとして活用できる。

【0060】その後、実施の形態と同様の方法で島状半導体形成領域1204を形成し、チャネル形成領域1207の外側に、ゲッタリングサイト形成領域1220, 1221を配置することで、チャネル形成領域1207の重金属等の不純物元素を効率よくゲッタリングすることが可能である。ゲッタリングサイト1220, 1221は必ずしもチャネル形成領域1207の両側に形成する必要はない。

【0061】【実施例2】実施例2では、イオンドーピング法により、半導体薄膜表面を平坦化することでゲッタリングする方法を、図14を用いて説明する。図14において、基板1403はガラスまたは石英基板である。基板1403のTFTが形成される表面には、珪素（シリコン）を含む絶縁膜からなる下地1408が形成されている。さらに下地膜1408の上に20～100nmの厚さの、非晶質半導体薄膜や結晶質半導体薄膜が公知の成膜法で形成されている。

【0062】その後、公知の結晶化法を用いて、この半導体薄膜を結晶化する。結晶化には結晶化を促進する金属を用いてもよい。次に、レジストマスクや酸化シリコン膜によるマスク層を用いて、この結晶質半導体層の第1の半導体領域1401, 1411に、SiやAr、若しくはArクラスター等のイオンドーピングを行う。ドーピングは表面が荒れる条件で行い、第1の半導体領域1401, 1411に凹凸を形成する。

【0063】その後、実施の形態と同様の方法で島状半導体形成領域1404を形成し、TFTの作製を行う。チャネル形成領域1407と比較して第1の半導体領域表面の凹凸

が大きいため、重金属等の不純物元素は、第1の半導体領域の凸凹は偏析し、チャネル形成領域からゲッタリングされる。

【0064】【実施例4】実施例4では多孔質膜をゲッタリングサイトとして利用するものである。多孔質膜はHF溶液中での陽極化成法によって形成でき、p型基板に対しては光照射なしでも、十分な成長速度が得られる。従って図14において、半導体領域1401, 1411の導電型をP型にするため、p型を付与する不純物元素を、第1の半導体領域1401, 1411にドープする。このとき基板内のp型を付与した半導体領域はすべてつながるようにして、陽極化成法を行う。陽極化成法によって得られる多孔質膜には多数の凸凹が存在し、重金属等の不純物元素をゲッタリングする。この第1の半導体領域1401, 1411の内側にチャネル形成領域とソース／ドレイン領域を形成し、トランジスタを作製する。

【0065】【実施例5】本実例では、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図15に示すように、実施の形態1で作製できる図11（B）の状態のアクティブマトリクス基板に対し、配向膜601を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の対向基板602には、遮光膜603、透明導電膜604および配向膜605を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようとする。そして、画素部と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料606を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。

【0066】次にこのアクティブマトリクス型液晶表示装置の構成を、図16の斜視図および図17の上面図を用いて説明する。尚、図16と図17は、図5～図11と図15の断面構造図と対応付けるため、共通の符号を用いている。また、図17で示すA—A'に沿った断面構造は、図11（B）に示す画素部の断面図に対応している。

【0067】アクティブマトリクス基板は、ガラス基板201上に形成された、画素部701と、走査信号駆動回路702と、画像信号駆動回路703で構成される。画素部にはnチャネル型TFT288が設けられ、周辺に設けられるドライバー回路はCMOS回路を基本として構成されている。走査信号駆動回路702と、画像信号駆動回路703はそれぞれゲート配線231（ゲート電極に接続し、延在して形成される意味で同じ符号を用いて表す）とソース配線256で画素部のnチャネル型TFT288に接続している。また、FPC731が外

部入出力端子734に接続される。

【0068】図17は画素部701の一部分（ほぼ一画素分）を示す上面図である。ゲート配線231は、図示されていないゲート絶縁膜を介してその下の活性層と交差している。図示はしていないが、活性層には、ソース領域、ドレイン領域、n-領域でなるLooff領域が形成されている。また、290はソース配線256とソース領域281とのコンタクト部、292はドレイン配線259とドレイン領域283とのコンタクト部、292はドレイン配線259と画素電極262のコンタクト部である。保持容量289は、nチャネル型TFT288のドレイン領域から延在する半導体層284とゲート絶縁膜を介して容量配線232が重なる領域で形成される。

【0069】なお、本実施例のアクティブマトリクス型液晶表示装置は、以下の、実施例のいずれの構成とも自由に組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

【0070】〔実施例6〕本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0071】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パソコン用コンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図18、図19及び図20に示す。

【0072】図18（A）はパソコン用コンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本願発明を画像入力部2002、表示部2003やその他の信号駆動回路に適用することができる。

【0073】図18（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本願発明を表示部2102やその他の信号駆動回路に適用することができる。

【0074】図18（C）はモバイルコンピュータ（モバイル用コンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本願発明は表示部2205やその他の信号駆動回路に適用できる。

【0075】図18（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本願発明は表示部2302やその他の信号駆動回路に適用することができる。

【0076】図18（E）はプログラムを記録した記録媒

体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明は表示部2402やその他の信号駆動回路に適用することができる。

【0077】図18（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。本願発明を表示部2502やその他の信号駆動回路に適用することができる。

【0078】図19（A）はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本願発明は投射装置2601の一部を構成する液晶表示装置2808やその他の信号駆動回路に適用することができる。

【0079】図19（B）はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本願発明は投射装置2702の一部を構成する液晶表示装置2808やその他の信号駆動回路に適用することができる。

【0080】なお、図19（C）は、図19（A）及び図19（B）中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図19（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0081】また、図19（D）は、図19（C）中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図19（D）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0082】ただし、図19に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置での適用例は図示していない。

【0083】図20(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号駆動回路に適用することができる。

【0084】図20(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本願発明は表示部3002、3003やその他の信号回路に適用することができる。

【0085】図20(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本願発明は表示部3103に適用することができる。本願発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0086】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～5のどのような組み合わせからなる構成を用いても実現することができる。

#### 【0087】

【発明の効果】本願発明を用いることで、トランジスタのチャネル形成領域の重金属等の不純物元素を除去若しくは低減でき、更にチャネル形成領域の境界部における重金属等の不純物元素も除去もしくは低減でき、半導体

装置(ここでは具体的に電気光学装置)の動作性能や信頼性を大幅に向上させることができる。

#### 【図面の簡単な説明】

【図1】エッチング後のSEM写真。

【図2】エッチング後のSEM写真。

【図3】発明の構成を示す図。

【図4】発明の構成を示す図。

【図5】発明の構成を示す図。

【図6】複数の線状に連なるリッジの集合を示す図。

【図7】画素部、駆動回路の作製工程を示す断面図。

【図8】画素部、駆動回路の作製工程を示す断面図。

【図9】画素部、駆動回路の作製工程を示す断面図。

【図10】画素部、駆動回路の作製工程を示す断面図。

【図11】画素部、駆動回路の作製工程を示す断面図。

【図12】ゲッタリングサイトの形成方法を示す図。

【図13】レーザーアニール後の光学顕微鏡写真。

【図14】ゲッタリングサイトの形成方法を示す図。

【図15】アクティブマトリクス型液晶表示装置の断面構造図。

【図16】アクティブマトリクス型液晶表示装置の断面構造図。

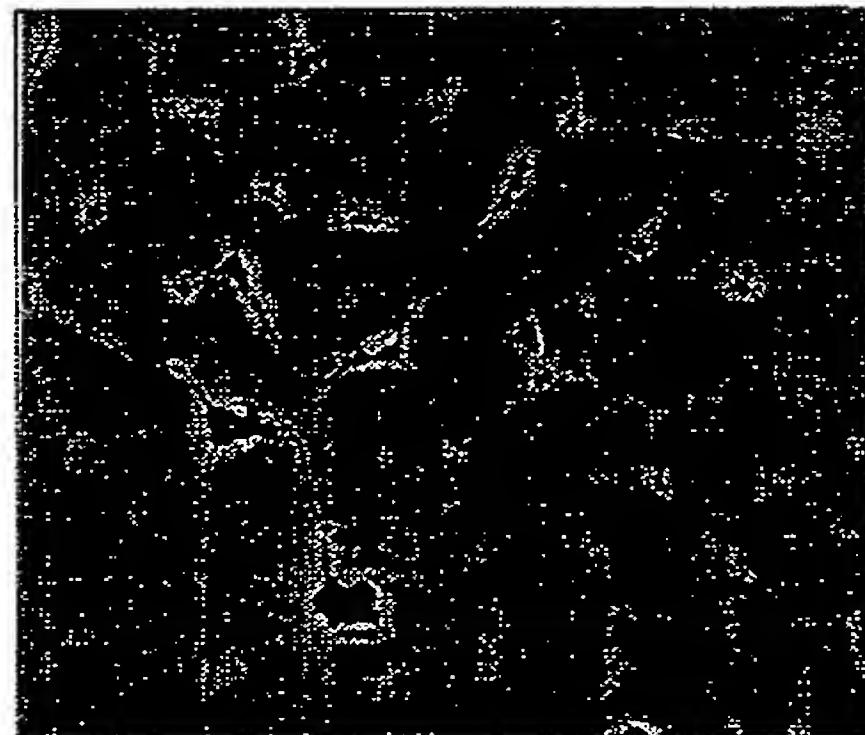
【図17】画素部の上面図。

【図18】半導体装置の一例を示す図。

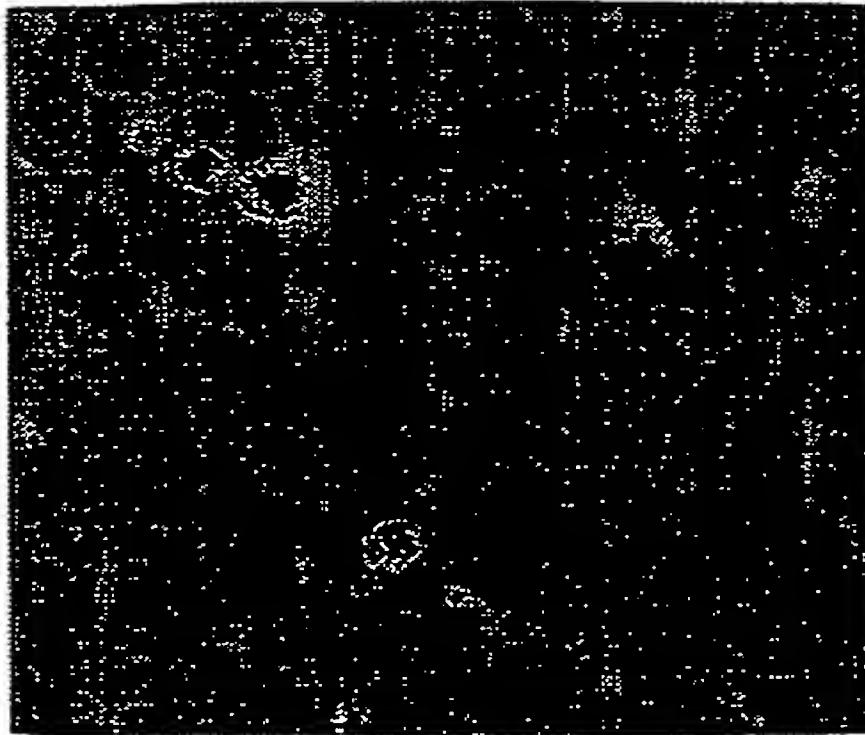
【図19】半導体装置の一例を示す図。

【図20】半導体装置の一例を示す図。

【図1】



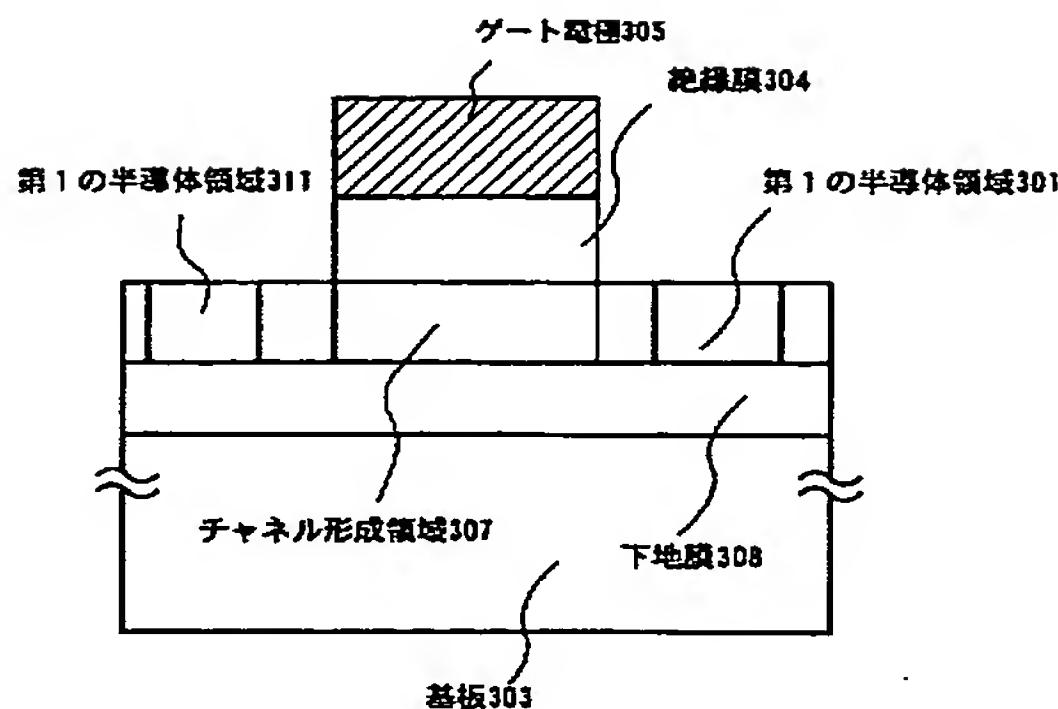
【図2】



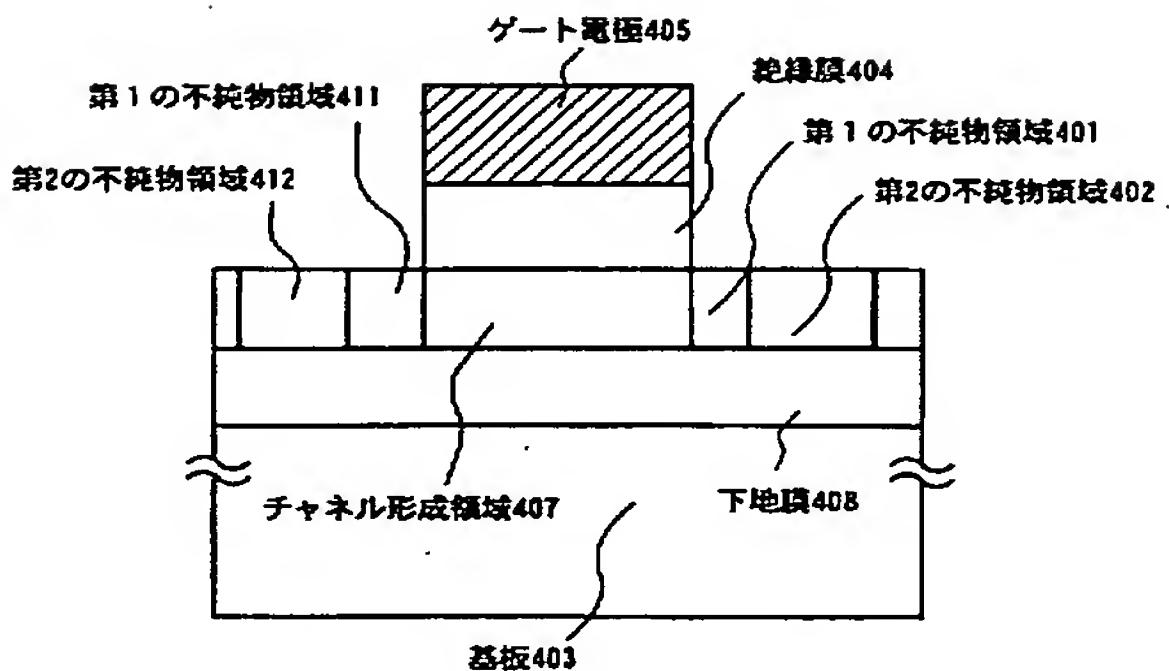
レーザーアニール後のSEM写真(FPM処理)

レーザーアニール→熱処理後のSEM写真(FPM処理)

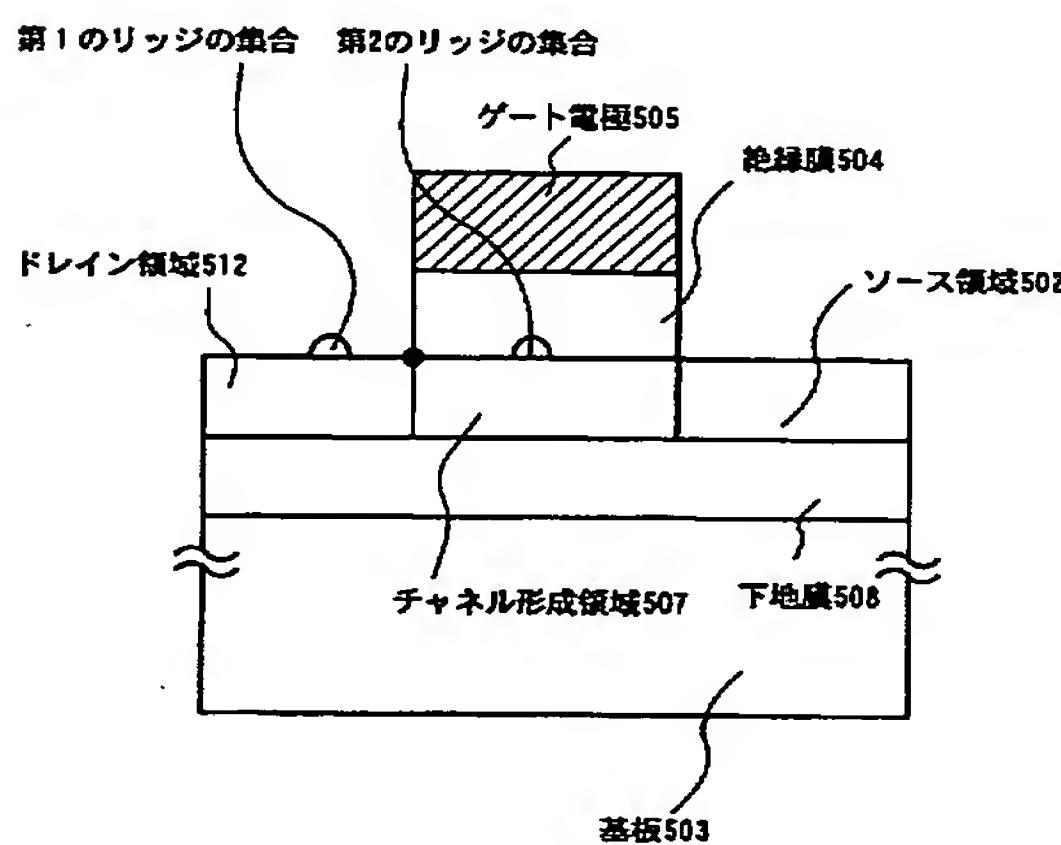
【図3】



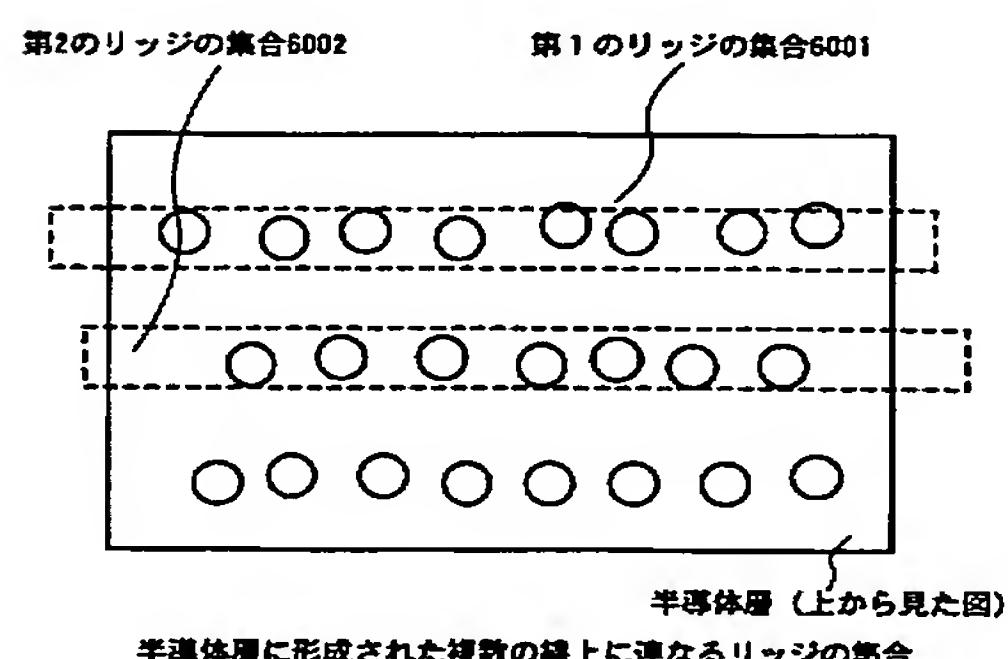
【図4】



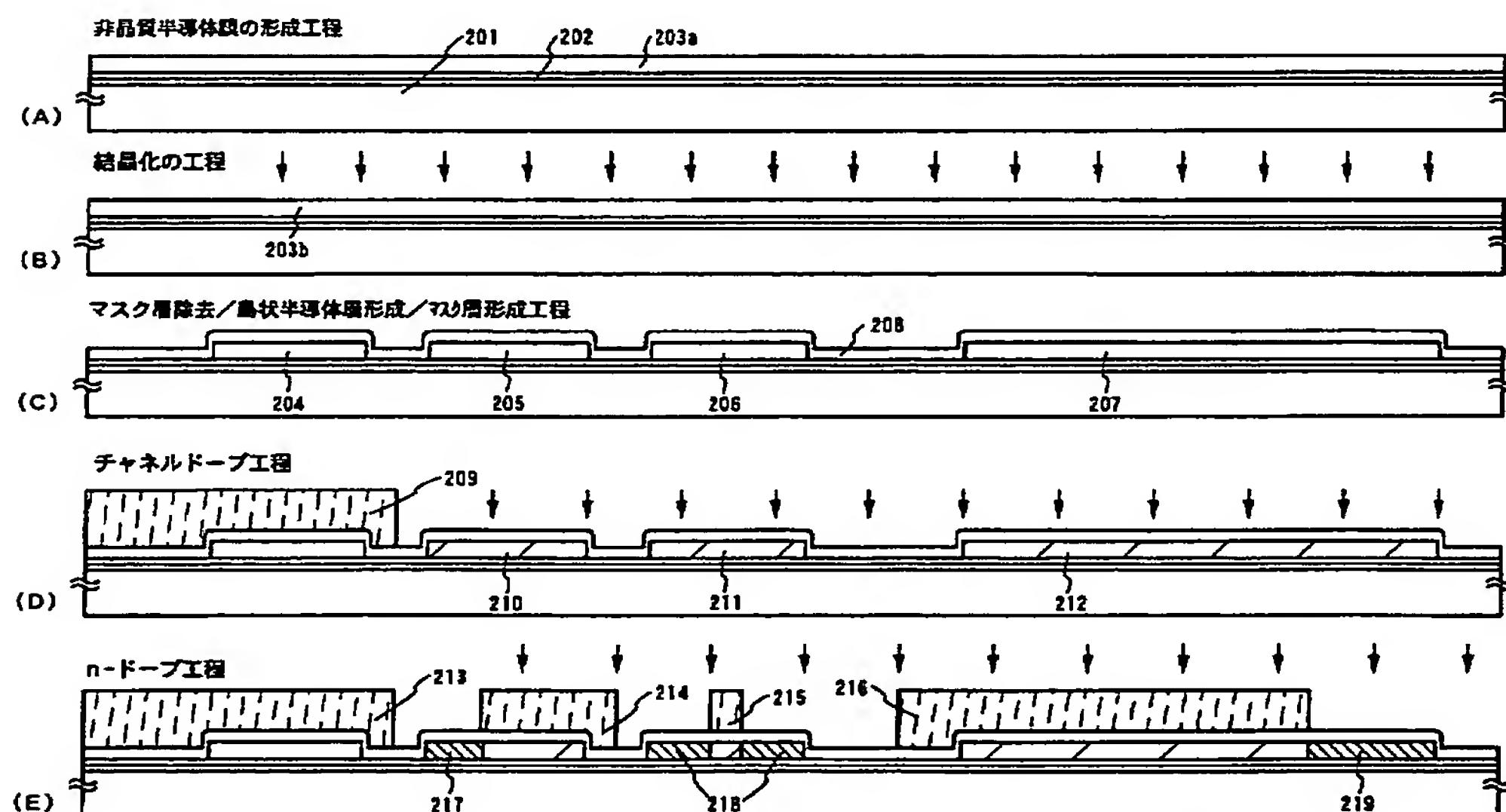
【図5】



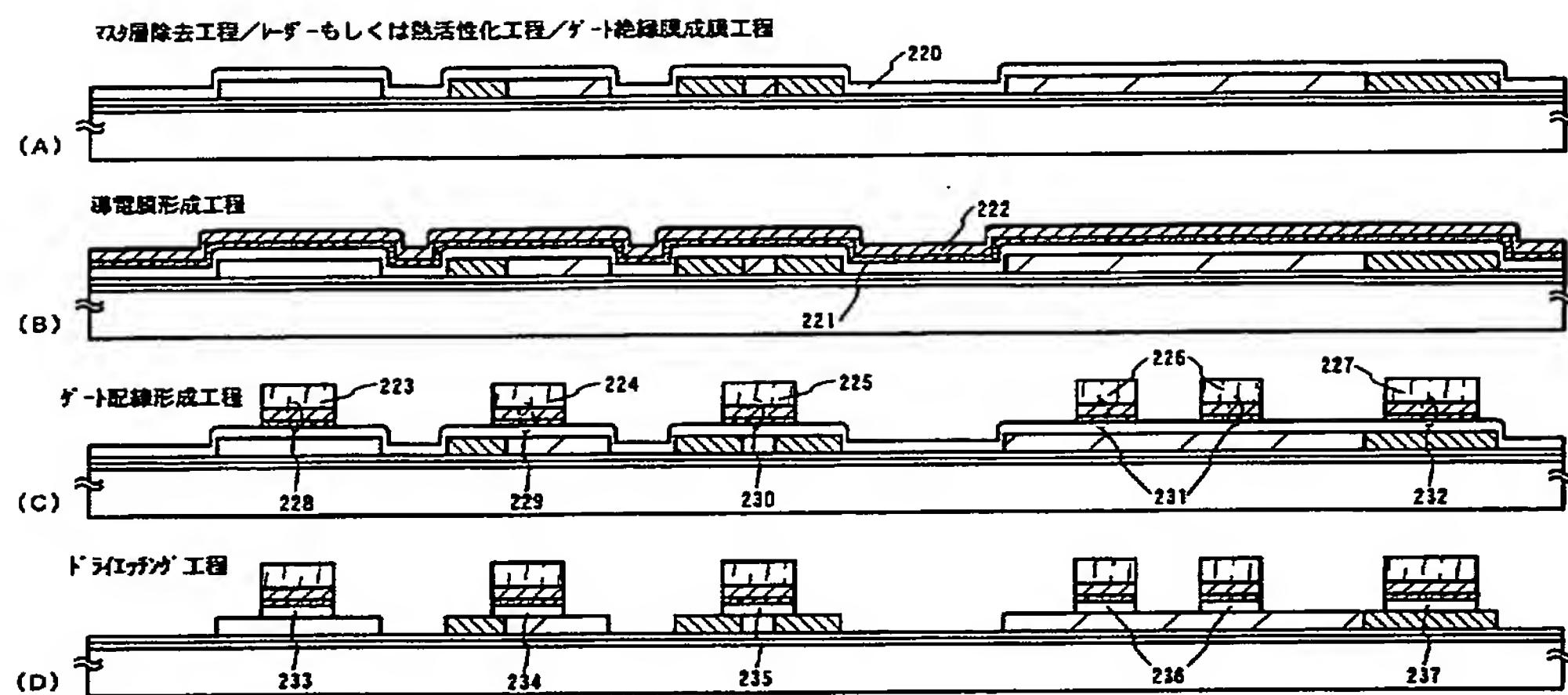
【図6】



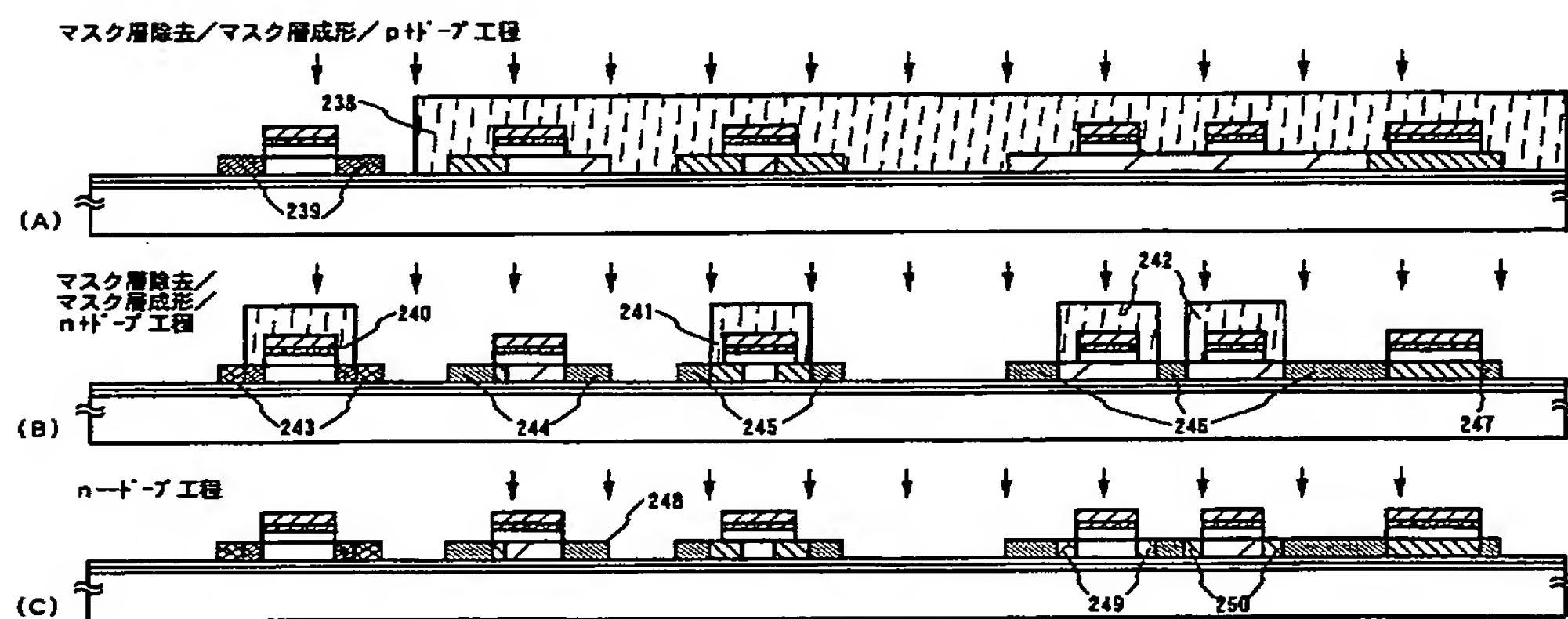
【図7】



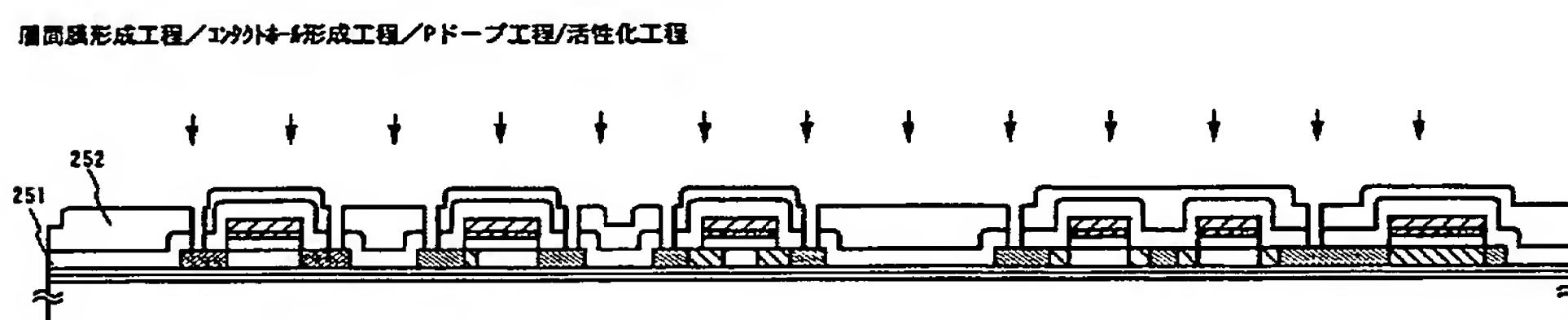
【図8】



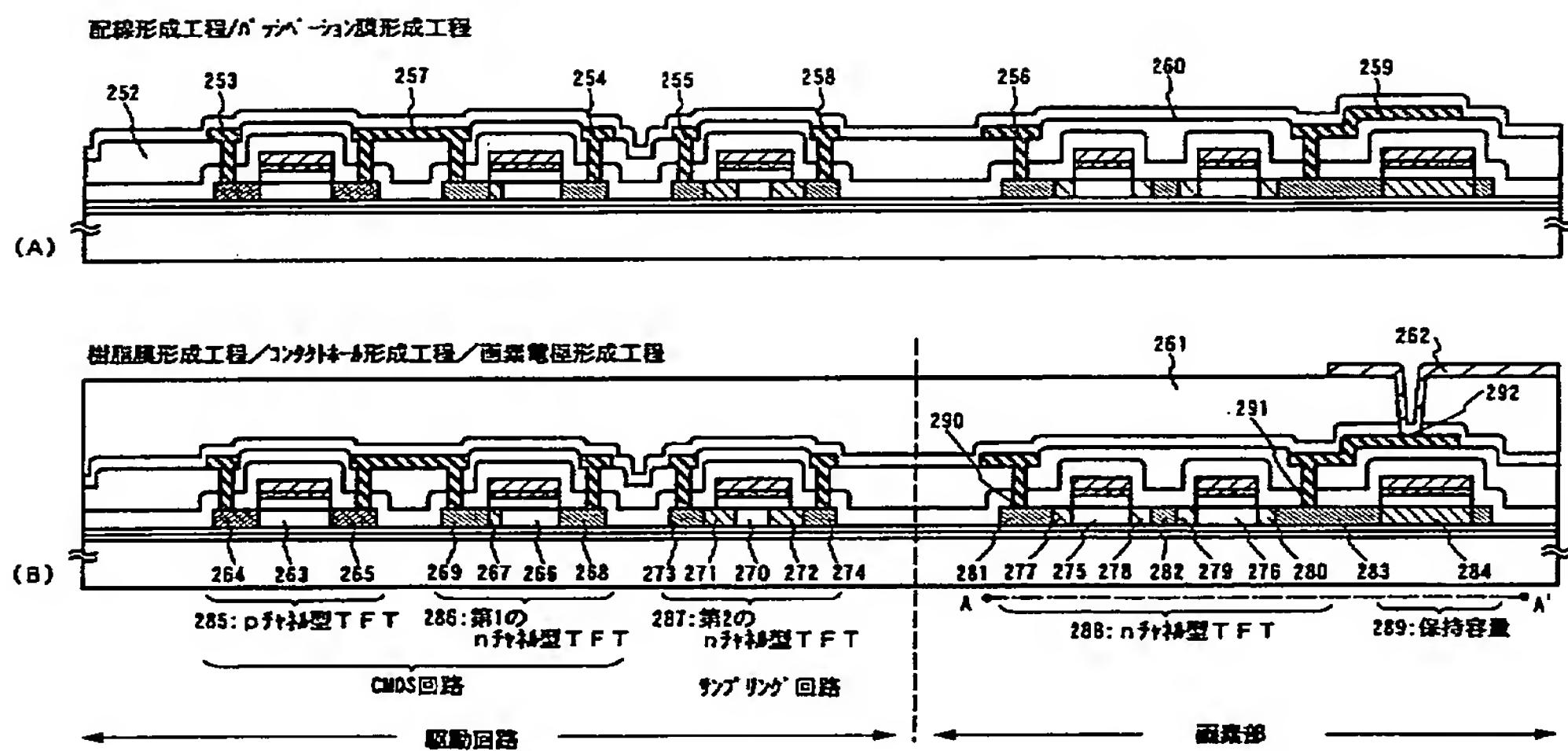
【図9】



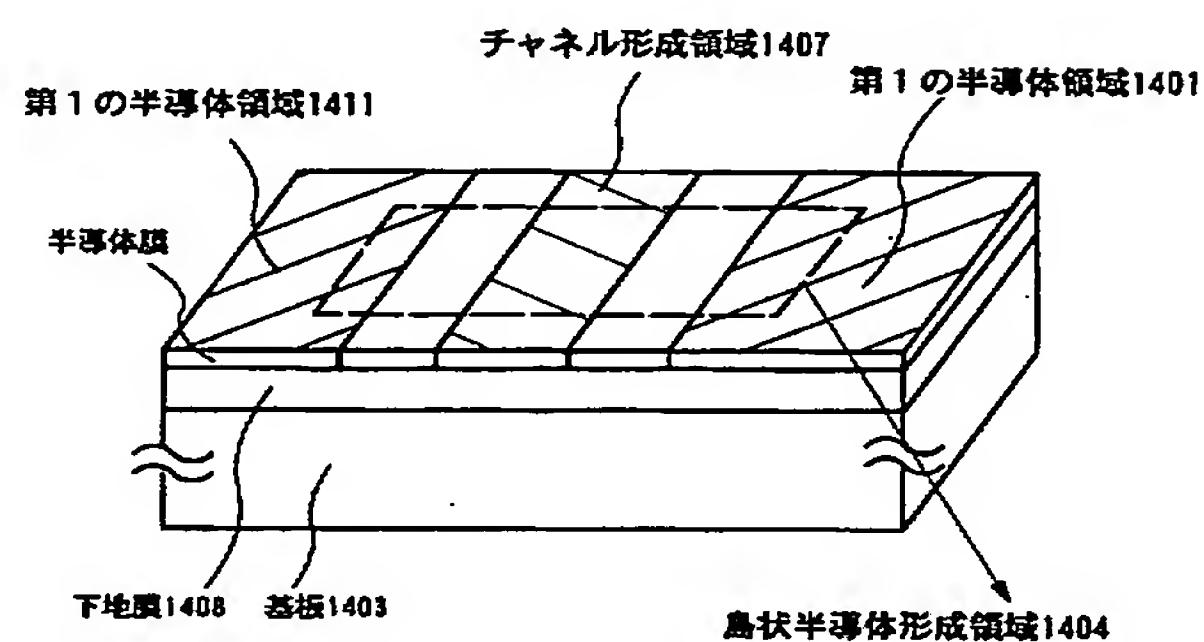
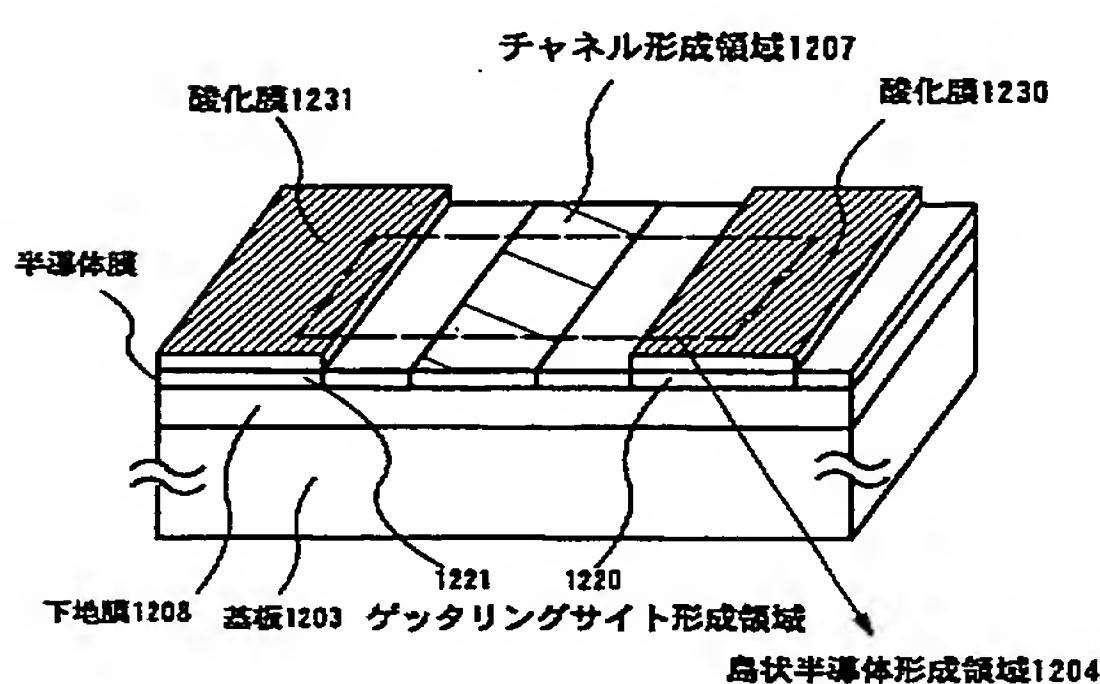
【図10】



【図11】



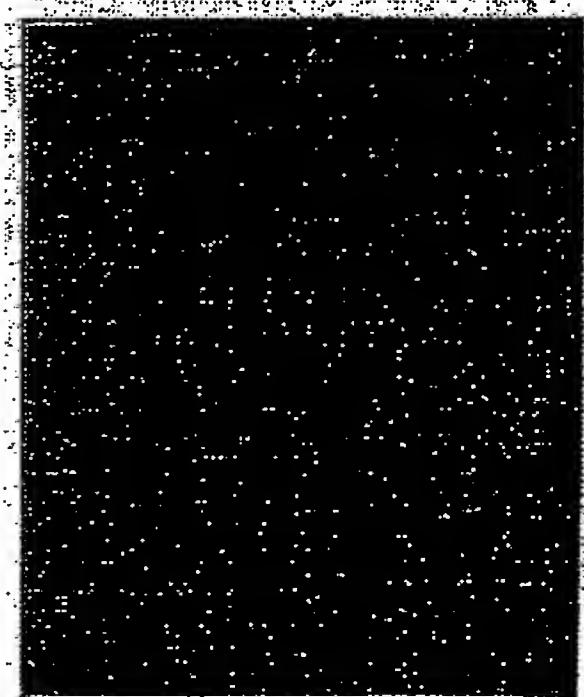
【図12】



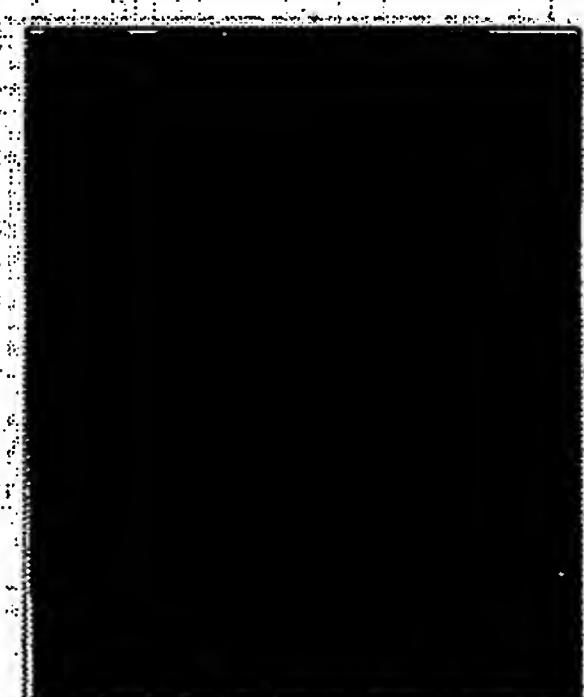
【図13】

レーザー結晶化後の光学顕微鏡写真（暗視野：反射×500）

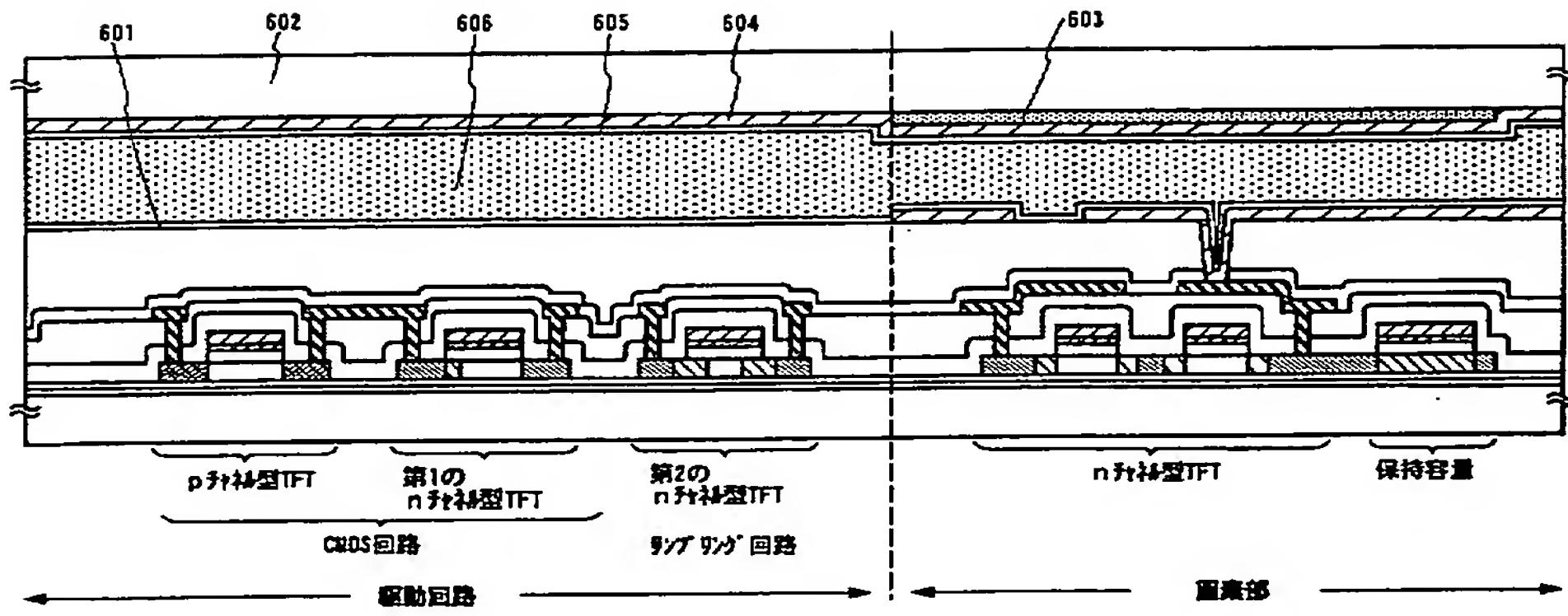
酸化膜あり



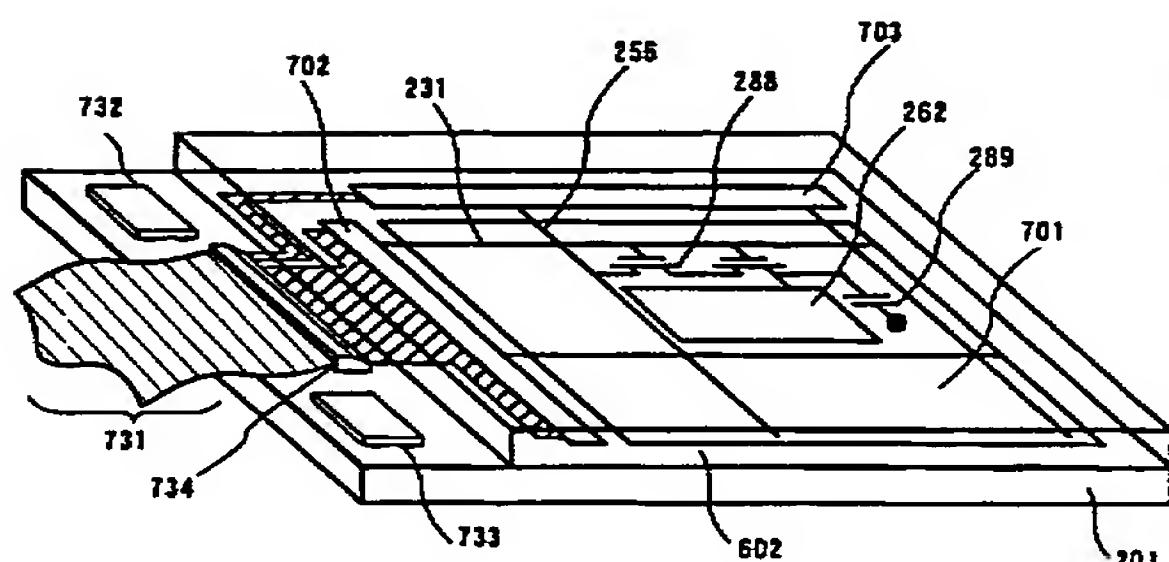
酸化膜なし



【図15】



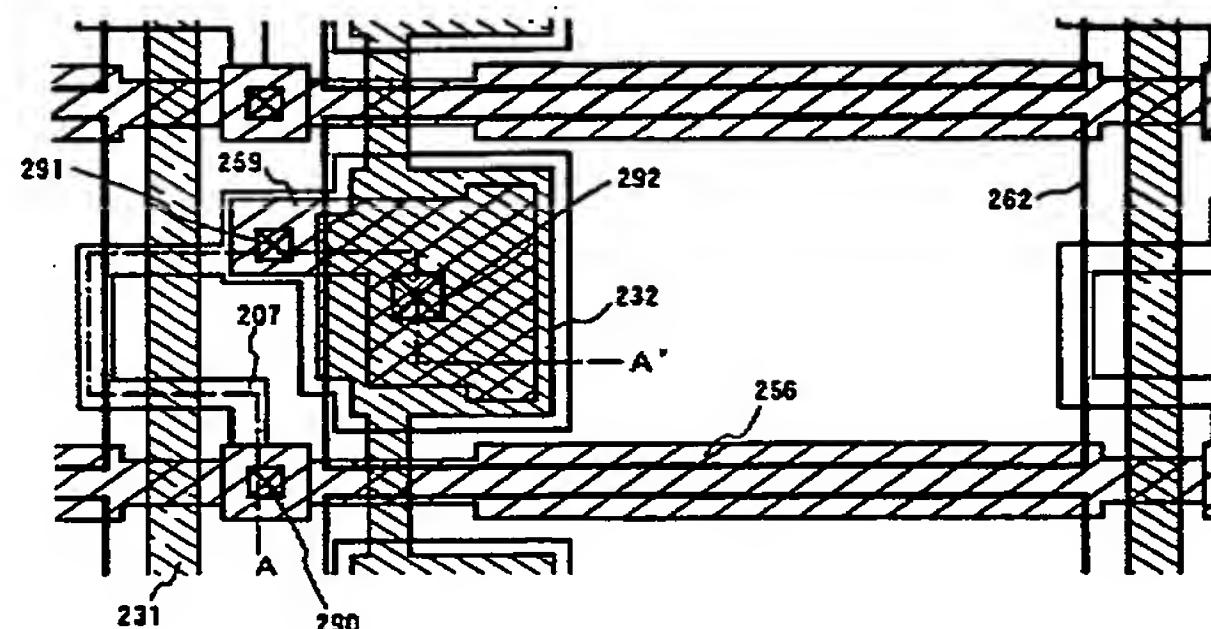
【図16】



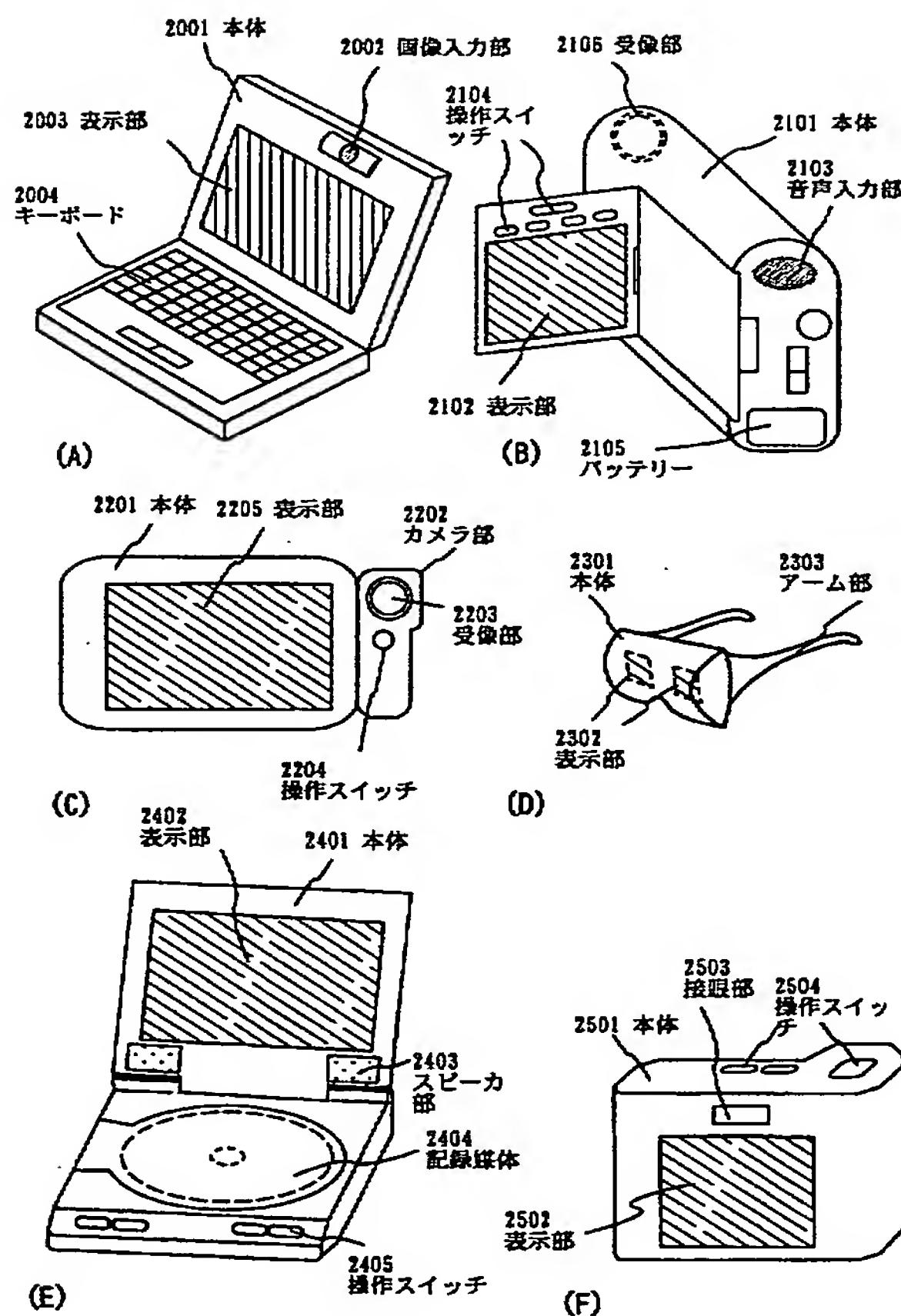
アクティブマトリクス基板  
201: 基板  
701: 画素部  
702: 走査信号駆動回路 703: 西像信号駆動回路  
731: FPC 732, 733: ICチップ、  
734: 外部入出力端子

288: nチャンネルTFT  
231: ゲート配線 255: ソース配線  
262: 画素電極 289: 保持容量  
602: 対向基板

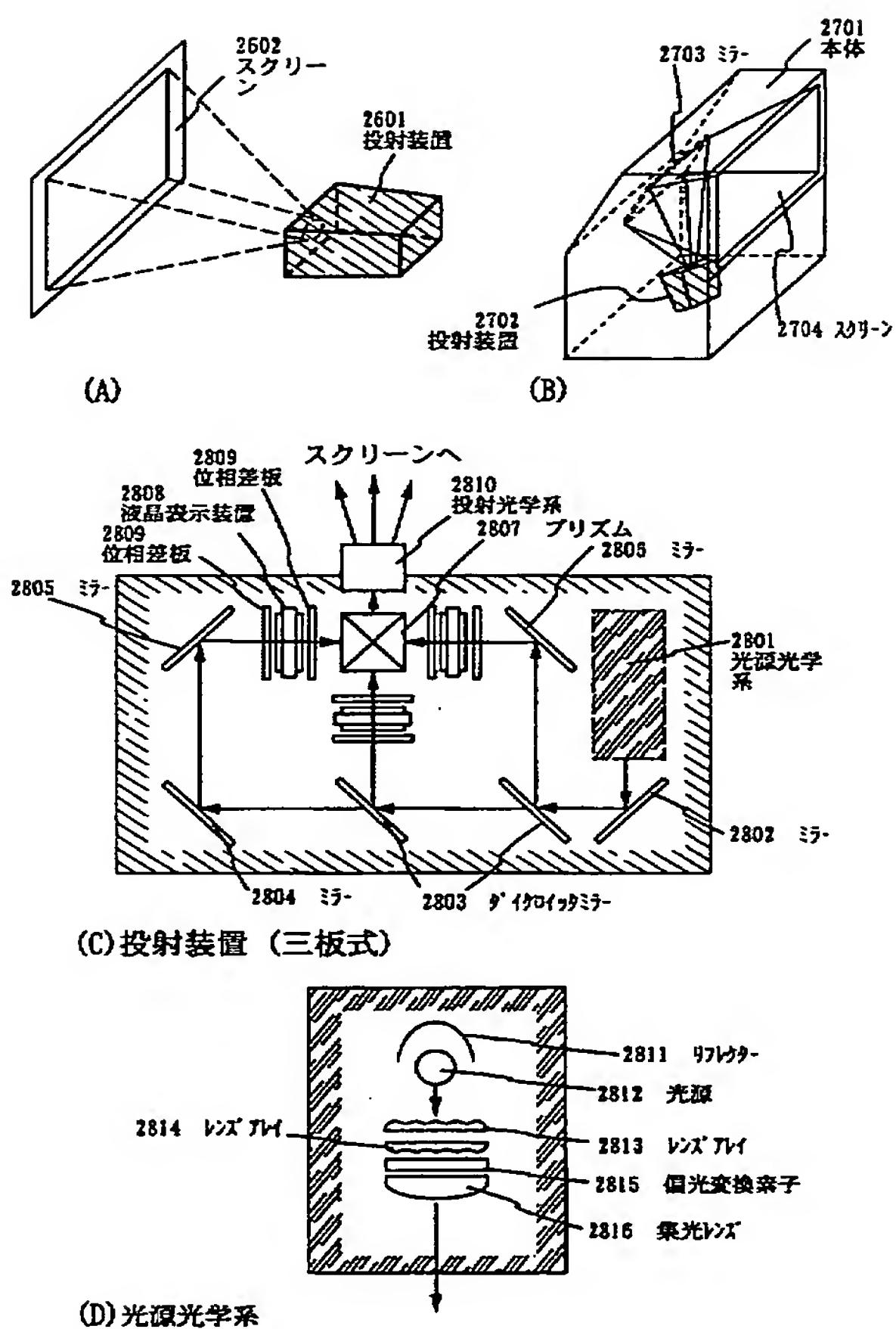
【図17】



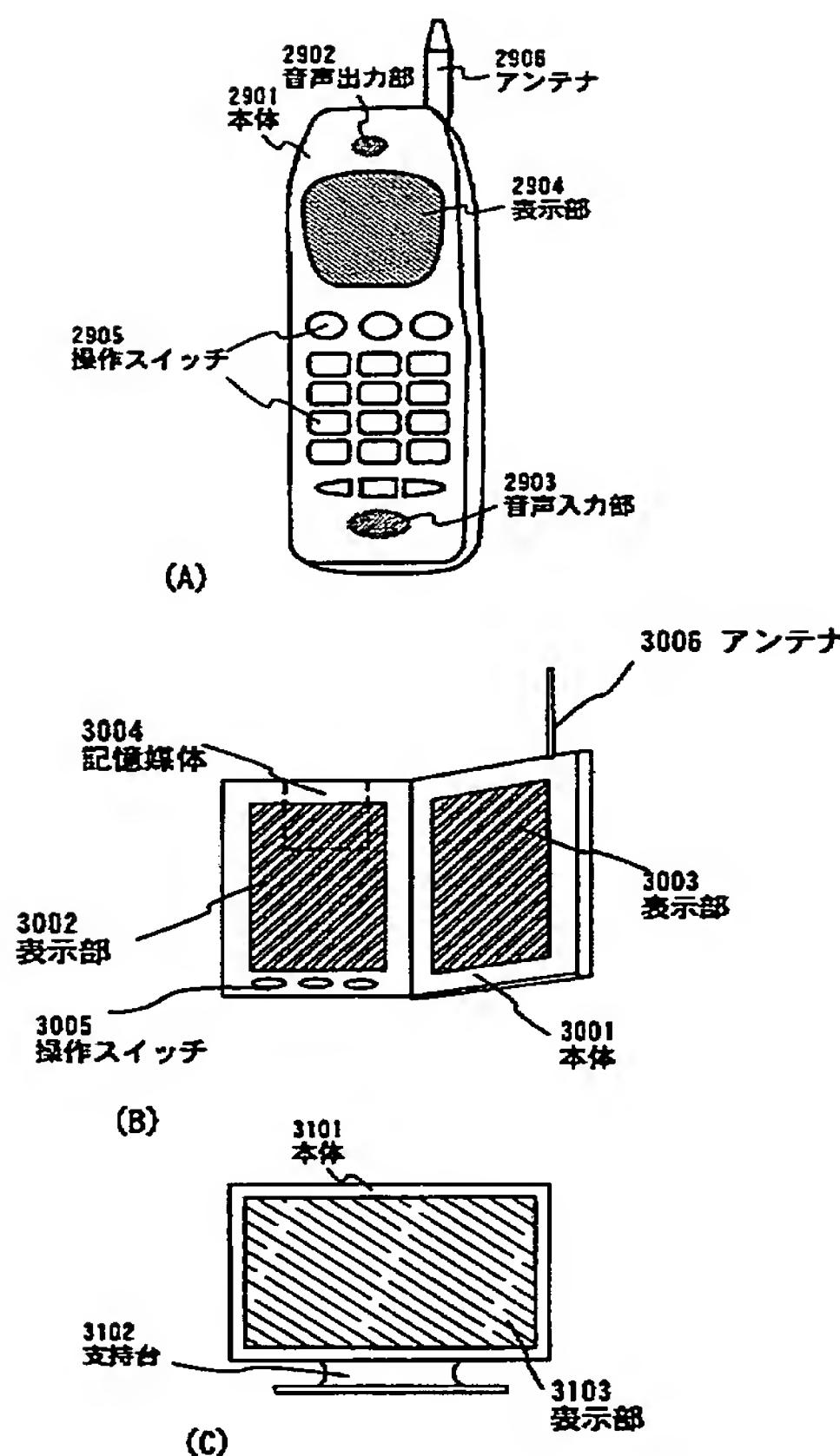
【図18】



【図19】



【図20】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

マーク (参考)

H 0 1 L 29/78

6 2 7 Z

(72) 発明者 田中 幸一郎

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

F ターム(参考) 2H092 GA59 JA25 JA29 JA34 JA37  
JA41 JB57 KA04 KA05 KB24  
KB25 MA05 MA07 MA08 MA17  
MA27 MA29 MA30 NA13 NA29  
5F110 AA30 BB02 BB04 CC02 DD01  
DD02 DD03 DD05 DD13 DD14  
DD15 DD25 EE01 EE04 EE05  
EE06 EE08 EE14 EE15 EE28  
EE44 FF04 FF28 FF30 GG01  
GG02 GG13 GG25 GG32 GG33  
GG43 GG45 GG51 GG52 HJ01  
HJ02 HJ12 HJ23 HM14 HM15  
HM20 NN03 NN04 NN22 NN23  
NN24 NN27 PP33 PP34 QQ09  
QQ11 QQ24 QQ25 QQ28